# Análisis del desempeño de plataformas de simulación en tiempo real para convertidores de potencia

**Autor:**
*Andrés Felipe Prieto Celis*
20141005211

*Documento final de trabajo de grado para optar a título de Ingeniero Electrónico*

***Modalidad:***
*Investigación e Innovación*

***Director:***
*Ing. Nelson Leonardo Díaz Aldana*

*Universidad Distrital Francisco José de Caldas*
*Proyecto Curricular de Ingeniería Electrónica*
*7 de febrero de 2024*

**Tabla de contenido**

**1. INTRODUCCIÓN** **2**

**2. OBJETIVOS DEL PROYECTO DE INVESTIGACIÓN** **4**
2.1. Objetivo General . . . . . 4
2.2. Objetivos Específicos . . . . . 4

**3. MARCO DE REFERENCIA** **5**
3.1. Simulación en tiempo real-HIL . . . . . 5
3.2. Simulador PLECS . . . . . 7
3.3. Simulador en tiempo real Typhoon HIL . . . . . 10
3.4. OPAL-RT 4510 . . . . . 10

**4. FLUJO DE TRABAJO SIMULACIÓN OPAL 4510 RT-LAB** **10**
4.1. RTLAB . . . . . 10
4.2. Matlab/Simulink-EHS Solver . . . . . 11
4.3. Ejemplo de simulación de un convertidor de Potencia en la CPU y FPGA del OPAL-RT 4510 . . . . . 29
4.4. Simulación de un convertidor de Potencia mediante Loopback . . . . . 30

**5. IMPLEMENTACIÓN Y SIMULACIÓN DE CONVERTIDORES DE POTENCIA EN LA CPU DEL OPAL-RT 4510** **37**
5.1. Rectificador Trifásico Totalmente Controlado y simulación en la CPU del OPAL-RT 4510 . . . . . 37
5.2. Convertidor DC-DC Elevador (Boost) y simulación en la CPU del OPAL-RT 4510 . . 45
5.3. Inversor Trifásico con IGBT's y Simulación en la CPU del OPAL-RT 4510 . . . . . 59

**6. SIMULACIÓN DE CONVERTIDORES DE POTENCIA EN LA FPGA DEL OPAL-RT 4510** **68**
6.1. Simulación Rectificador Trifásico Totalmente Controlado con SCR's en la FPGA del OPAL-RT 4510 . . . . . 68
6.2. Simulación del Convertidor Boost en la FPGA del OPAL-RT 4510 . . . . . 72
6.3. Simulación Inversor Trifásico con IGBT's en la FPGA del OPAL-RT 4510 . . . . . 87

**7. COMPARACIONES ENTRE RESPUESTAS CPU Y FPGA DEL OPAL-RT 4510** **97**
7.1. Comparaciones simulaciones Rectificador trifásico totalmente controlado . . . . . 97
7.2. Comparaciones simulaciones Convertidor Boost . . . . . 99
7.3. Comparaciones simulaciones Inversor Trifásico . . . . . 107

**8. ANÁLISIS DE RESULTADOS** **111**
8.1. Modelos utilizables y limitaciones . . . . . 111

**9. CONCLUSIONES Y RECOMENDACIONES** **113**

**10. REFERENCIAS** **115**

# 1. INTRODUCCIÓN

En la actualidad existen diferentes plataformas de simulación en tiempo real de circuitos eléctricos y electrónicos, los cuales permiten diseñar y probar sistemas de controladores, electrónica de potencia y diversos accionamientos eléctricos. Con la existencia de dichas plataformas, se busca tener herramientas que permitan la verificación de la correcta operación de sistemas basados en electrónica de potencia, esto con el fin de reducir errores en el momento de la implementación de dichos circuitos .
Con la aparición de estas plataformas de simulación en tiempo real, se presentan herramientas robustas donde cada fabricante utiliza diferentes tecnologías que permiten obtener resultados más rápidos y precisos.

Cada plataforma de simulación utiliza criterios y metodologías propias al momento de ejecutar las simulaciones en tiempo real. En algunas metodologías se utilizan por ejemplo simulación eléctrica de sensores y actuadores, y donde dichas simulaciones sirven de interfaz entre el modelo del circuito y el sistema integrado bajo prueba. El valor de cada sensor está controlado por el modelo de la planta y es leído por el sistema embebido. De igual forma, el sistema embebido bajo prueba ejecuta su algoritmo de control por medio de señales de los actuadores. Igualmente, cambios en las señales de control derivan cambios en los valores de las variables en el modelo de simulación de un circuito.
En otras plataformas de simulación, se hace uso de solucionadores eléctricos y reprogramables basados en FPGA, como es el caso del OPAL-RT 4510, el cual cuenta con una librería en Simulink llamada eFPGASIM, y proporciona una cómoda interfaz de usuario que permite simular modelos de convertidores en tiempo real, y cuyos resultados de simulación pueden ser posteriormente tratados en el software de Matlab.
La plataforma de simulación que se basa en FPGA, debido a las ventajas brindadas por esta, proporciona un entorno de alta fidelidad en los resultados obtenidos en la simulación, lo que la convierte en la plataforma ideal para diseñar y probar sistemas de controladores, electrónica de potencia y accionamientos eléctricos. Además, se incluye una biblioteca de electrónica de potencia y motores que permite simular todos los componentes que forman parte del sistema, esto tomando el modelo que se tiene del sistema a probar.

Se propuso para el presente trabajo de grado, la implementación y simulación en tiempo real, de unos modelos de convertidores electrónicos de potencia en la plataforma de simulación en tiempo real OPAL-RT 4510, la cual es la herramienta de simulación en tiempo real con la cual cuenta el Laboratorio del LFAE de la Universidad Distrital Francisco José de Caldas. Con la simulación en el OPAL de dichos convertidores, se busca establecer diferencias entre realizar las simulaciones de dichos modelos, por un lado en la FPGA del OPAL-RT 4510, y por el otro lado en la CPU o procesador del OPAL-RT 4510.
Con las pruebas realizadas a los convertidores implementados, se busca establecer diferencias existentes entre ambos métodos de simulación, es decir, por ejemplo, evaluar cómo influye el tiempo de muestreo establecido para cada caso de simulación, como también las respuestas obtenidas en la parte transitoria para cada caso, y además diferencias en valores de tensiónes y de corrientes medidos en los convertidores implementados, entre otros. Este trabajo de grado se realiza para que dichos modelos implementados sirvan como modelos propios del grupo LFAE, y permitan el trabajo en la asignatura de electrónica de potencia.

El potencial de esta herramienta de simulación en tiempo real no ha sido explotado en la universidad,

y tampoco se tiene experiencia en el uso de la misma para la implementación de modelos que puedan servir para la enseñanza de la electrónica de potencia, y es por ello que con el presente trabajo de grado, se realizó la implementación de unos modelos de convertidores electrónicos de potencia, que puedan ser simulados de una manera más rápida en el computador, y sean de utilidad al momento de estudiar los convertidores de potencia en la asignatura de Electrónica de Potencia.

En el diseño de sistemas eléctricos/electrónicos que usan convertidores de potencia, se recurre a herramientas de simulación en tiempo real, que permiten evaluar el rendiemiento de dichos convertidores de potencia. Sin embargo, cuando estos modelos se encuentran dentro del sistema eléctrico, las plataformas de simulación realizan aproximaciones del modelo que permiten evaluar este como un sistema en total, dejando de lado comportamientos transitorios propios de los convertidores. Esto ocasiona que se presenten diferencias entre el comportamiento real y el simulado.

En el Laboratorio de Investigación en Fuentes Alternativas de Energía (LIFAE), se tienen plataformas de simulación en tiempo real, las cuales son utilizadas para el modelamiento de sistemas de electrónica de potencia, en especial los convertidores conmutados de potencia, de cuyas plataformas aún no se ha sacado provecho por parte de los estudiantes de la universidad. Sin embargo, dentro de los proyectos de investigación desarrollados en el grupo LIFAE solamente se han evaluado modelos de simulación con tiempos de muestreo del orden de milisegundos. No obstante, las plataformas de simulación ofrecen la posibilidad de implementar los modelos de los convertidores en herramientas computacionales de alta velocidad como por ejemplo las FPGA, las cuales permiten tiempos de muestreo del orden de hasta microsegundos o nanosegundos. Es por ello que, como se mencionó en párrafos anteriores, con el desarrollo de este trabajo de grado, se buscaba evaluar las diferencias entre las respuestas obtenidas de realizar la implementación de los modelos en la CPU del OPAL-RT 4510, y las respuestas obtenidas de realizar la simulación de los modelos en la FPGA del OPA-RT 4510.
De acuerdo a lo anterior, surgió la pregunta, ¿Es posible establecer, para fines académicos, modelos de convertidores electrónicos de potencia, los cuales sean obtenidos a partir de la simulación de éstos en el procesador o CPU del OPAL-RT 4510, y donde dichos modelos se obtengan de la comparación de los modelos simulados en la CPU del OPAL-RT frente a los modelos simulados en la FPGA del OPAL-RT?

En el contenido del presente documento,se presenta, en primer lugar, una introducción a lo que son las plataformas de simulación en tiempo real junto a la contextualización, justificación y problema a solucionar con el desarrollo del presente trabajo de investigación. Seguido a la introducción, los objetivos propuestos a desarrollar en el presente trabajo de grado.
Después de los objetivos, se mostrará información sobre algunas de las diferentes plataformas de simulación en tiempo real. Seguido a esto, se mostrará el flujo de trabajo para realizar una simulación en tiempo real en la herramienta del OPAL-RT 4510, es decir, cuáles son los pasos a seguir para ejecutar exitosamente una simulación en tiempo real en la herramienta de simulación del OPAL-RT 4510.
Una vez es mostrado el flujo de trabajo para realizar una simulación en el OPAL-RT 4510, se presenta la implementación de los convertidores de potencia en la CPU del OPAL-RT 4510, como también en la FPGA del OPAL-RT 4510.
Seguido a la implementación y simulación de los convertidores en la CPU y FPGA del OPAL, se presentan las comparaciones realizadas entre las respuestas obtenidas de simular en la CPU del OPAL, frente a las respuestas obtenidas de simular en la FPGA del OPAL.

Una vez realizadas las comparaciones entre las respuestas obtenidas en la CPU y en la FPGA, se presenta un análisis de resultados, y se establecen los modelos que pueden ser utilizados con fines académicos. Se establecen limitaciones encontradas, y finalmente se presentan conclusiones y recomendaciones relacionadas al desarrollo del trabajo de grado.

# 2. OBJETIVOS DEL PROYECTO DE INVESTIGACIÓN

Los objetivos propuestos a cumplir con el desarrollo del presente trabajo de grado fueron:

## 2.1. Objetivo General

Realizar la comparación del desempeño de simulación de tres tipos de convertidores electrónicos de potencia (rectificador trifásico controlado, convertidor DC-DC Boost e inversor trifásico), usando la herramienta en tiempo real OPAL 4510, por un lado, ejecutando las simulaciones en la CPU del OPAL, y por otro lado, ejecutando las simulaciones en la FPGA del OPAL.

## 2.2. Objetivos Específicos

- Documentar el flujo de trabajo para la simulación de convertidores de potencia en la CPU del OPAL-RT 4510.
- Documentar el flujo de trabajo para la simulación de convertidores de potencia en la FPGA del OPAL RT 4510.
- Implementar y simular en la CPU del OPAL-RT 4510, los diferentes modelos de convertidores electrónicos de potencia, y posterior a ello guardar resultados.
- Implementar y simular en la FPGA del OPAL-RT 4510, los diferentes modelos de convertidores electrónicos de potencia, y posterior a ello guardar resultados.
- Evaluar las diferencias entre las respuestas obtenidas de realizar las simulaciones de los convertidores utilizando el EHS Solver (FPGA), frente a las respuestas obtenidas de hacer las simulaciones sin usar el EHS Solver, es decir, en la CPU del OPAL.
- Establecer modelos de convertidores, con el fin de ser usados con fines académicos, a partir de la comparación de las respuestas obtenidas en las simulaciones realizadas en la CPU y FPGA del OPAL-RT 4510. Los modelos que se puedan usar académicamente serán los obtenidos de las simulaciones en la CPU del OPAL.

# 3. MARCO DE REFERENCIA

## 3.1. Simulación en tiempo real-HIL

Una simulación en tiempo real hace referencia a un modelo computacional el cual se ejecuta al mismo ritmo que el sistema físico real. La simulación en tiempo real ocurre comúnmente en los juegos de computadora , pero también es importante en el mercado industrial para la capacitación de operadores y el ajuste de controladores fuera de línea. Los lenguajes de computadora como LabVIEW , VisSim y Simulink permiten la creación rápida de tales simulaciones en tiempo real y tienen conexiones a pantallas industriales y controladores lógicos programables a través de OLE para control de procesos o tarjetas de E / S digitales y analógicas . Varios simuladores en tiempo real están disponibles en el mercado como xPC Target y RT-LAB para sistemas mecatrónicos y que utilizan Simulink , eFPGASIM y eDRIVESIM para simulación de electrónica de potencia y eMEGASIM , HYPERSIM y RTDS para simulación de red eléctrica en tiempo real (RTS).
En una simulación en tiempo real, la simulación se realiza en un tiempo discreto con paso constante también conocido como simulación de paso fijo a medida que el tiempo avanza en la misma duración de tiempo, otras técnicas que tienen paso variable se utilizan para transitorios de alta frecuencia pero no son adecuadas para tiempo real simulación. En una simulación en tiempo real, el tiempo requerido para resolver las ecuaciones de estado interno y las funciones que representan el sistema debe ser menor que el paso fijo. Si el tiempo de cálculo excede el tiempo del paso fijo, se dice que se ha producido una sobrecarga. En palabras simples, la simulación en tiempo real debe producir las variables internas y la salida dentro del mismo período de tiempo que lo haría su contraparte física.
Los simuladores en tiempo real se utilizan ampliamente en muchos campos de la ingeniería. Como consecuencia, la inclusión de aplicaciones de simulación en los planes de estudios académicos puede aportar un gran valor al alumno. Las pruebas estadísticas de protección de la red eléctrica, el diseño y la simulación de aeronaves, los métodos de diseño del controlador del motor y la integración de robots espaciales son algunos ejemplos de aplicaciones de tecnología de simuladores en tiempo real [1].

## HIL (Hardware in the loop)

Las pruebas hardware-in-the-loop (HIL) son simulaciones en tiempo real que permiten comenzar a probar el código embebido sin necesidad de hardware de sistema. Esto permite probar condiciones anormales y de fallo que pueden dañar el hardware si el código en desarrollo no opera dentro de las especificaciones. Los sistemas de control de electrónica de potencia son parte integral de los sistemas de transporte eléctricos y los sistemas de energía renovable. Validar el código embebido para estos sistemas de control mediante pruebas con prototipos es un reto, ya que el riesgo de daños en el hardware impide ejecutar los sistemas en toda la gama completa de condiciones transitorias.
Cuando se realizan pruebas hardware-in-the-loop para sistemas de electrónica de potencia, no existe una regla absoluta sobre si una CPU o un FPGA es mejor para simular sistemas con dinámica de conmutación. A la hora de decidir, hay que tener en cuenta la complejidad del modelo, los detalles matemáticos de los componentes de electrónica de potencia, los detalles de modelado de las cargas y las fuentes de alimentación, y el número de canales y tipos de E/S de los sistemas de prueba. Puede que descubra que es beneficioso utilizar tanto CPU como FPGA si su sistema hardware-in-the-loop es capaz de particionar el modelo de simulación de escritorio en múltiples núcleos y diferentes tipos de procesadores [2].

## 3.2. Simulador PLECS

El diseño de convertidores de potencia es una tarea compleja que requiere herramientas y procesos avanzados. Los convertidores de potencia son sistemas sofisticados compuestos por múltiples subsistemas, incluidos componentes de hardware y software. En consecuencia, el desarrollo y prueba de convertidores de potencia implica optimizar múltiples aspectos que deben explorarse, desarrollarse y probarse en paralelo, hasta que el sistema completo esté disponible para la validación final.
El proceso de desarrollo convencional en "cascada" o "V" hace hincapié en gran medida en la sólida definición inicial de los requisitos del sistema, que cae en cascada en la definición de un conjunto de requisitos del subsistema. Luego, los subsistemas se pueden desarrollar de forma concurrente e independiente de acuerdo con especificaciones bien definidas, hasta que estén listos para la integración y la validación. El desafío con este enfoque es su fuerte dependencia de la relevancia y precisión de los requisitos iniciales que impulsan todo el proceso de desarrollo. Si los requisitos se definen incorrectamente, los subsistemas pueden ser incompatibles. Además, el método de la cascada no puede dar cuenta de las condiciones cambiantes del mercado o de los requisitos cambiantes de los clientes. En el peor de los casos, el resultado de un largo proceso de desarrollo podría ser un producto no vendible [3].
Independientemente de la metodología utilizada, una herramienta de modelado y simulación como PLECS puede ser tremendamente beneficiosa para los ingenieros de electrónica de potencia. En un proceso en cascada, el modelado eficiente del sistema convertidor de potencia completo es particularmente útil cuando se derivan los requisitos del sistema y subsistema.

El núcleo de PLECS es el simulador de circuito PLECS. Fue diseñado específicamente para modelar convertidores de potencia, incluido el sistema en el que operan. Las características de PLECS incluyen:

- Facilidad de uso
- Velocidad de simulación ultrarrápida
- Robustez numérica
- Biblioteca de componentes extensa y abierta
- Soporte para múltiples dominios físicos

Con PLECS, el ingeniero puede esbozar rápidamente el sistema completo de conversión de energía al comienzo del proceso de desarrollo y mejorar el modelo de arriba hacia abajo a medida que evoluciona el diseño. Inicialmente, el modelo tiene una fidelidad relativamente baja, pero es útil para derivar los requisitos del sistema y subsistema y tomar decisiones tempranas de diseño de alto nivel. Con el tiempo, la fidelidad y la calidad del modelo aumentan a medida que se seleccionan componentes específicos y se dispone de medidas para ajustar los modelos [3].
Una vez que se crea un modelo de sistema PLECS, se puede utilizar como banco de pruebas del sistema virtual. Por ejemplo, el modelo se puede utilizar para probar y desarrollar el subsistema de "software de control"si representa adecuadamente las iteraciones más recientes del subsistema de "hardware de controlz "hardware de potencia". Por lo tanto, siempre que se mantenga un modelo de sistema PLECS durante un proceso de desarrollo ágil, puede servir como entorno virtual para la prueba del sistema, mucho antes de que se lleve a cabo la integración real del sistema.
A medida que el desarrollo del subsistema se vuelve más maduro, se escribe el software prototipo y se

construye el hardware prototipo, el ingeniero puede vincular dichos prototipos .al circuito". Por ejemplo, con el enfoque de software en el bucle (SIL), el código integrado se puede ejecutar dentro del modelo del sistema PLECS (utilizando bloques PLECS C-Script o DLL).
Para pruebas de sistemas de mayor fidelidad, el código integrado puede ejecutarse en el procesador integrado real y cosimularse con un modelo PLECS. Este método se conoce como PIL y se analiza en detalle en [2]. Con PIL, se pueden detectar defectos de software específicos de la plataforma, como condiciones de desbordamiento y errores de conversión. Una cosimulación de PIL también puede exponer y analizar problemas potenciales relacionados con la ejecución de varios subprocesos de algoritmos de control, incluidos el jitter y la corrupción de recursos. El paquete PLECS PIL incluye una biblioteca PIL Framework compatible con las familias de procesadores más relevantes que se utilizan en la actualidad en aplicaciones de conversión de energía y accionamiento de motores. También se incluye un conjunto de modelos periféricos de alta fidelidad. Estos modelan con precisión el comportamiento de los periféricos MCU específicos del objetivo, como los módulos ADC, PWM y Capture.

Una vez que el hardware de control ha evolucionado lo suficiente, los desarrolladores pueden proceder a la prueba HIL, donde se prueba todo el hardware de control junto con un modelo de sistema PLECS. Este enfoque es fundamentalmente diferente de las pruebas del sistema mencionadas hasta ahora, porque el modelo PLECS ahora debe ejecutarse en tiempo real. A diferencia de SIL y PIL, donde la ejecución del código de control se sincroniza con una simulación fuera de línea, la interfaz con el hardware de control físico requiere la generación y medición de señales analógicas y digitales en tiempo real. En consecuencia, el modelo PLECS ya no se puede ejecutar en una PC de escritorio convencional, sino que debe ejecutarse en hardware especializado en tiempo real, como el nuevo PLECS RT Box"[3].

**Caja PLECS RT**

El PLECS RT Box es un simulador en tiempo real de última generación basado en un SOC Xilinx Zynq de 1 GHz. Con sus 64 señales de E/S digitales y 32 analógicas, el RT Box está bien equipado para la prueba HIL de sistemas complejos de convertidores de potencia.
Como se mencionó anteriormente, los sistemas electrónicos de potencia contienen pequeñas constantes de tiempo debido a su naturaleza inherentemente conmutada. Aunque no es necesario simular las formas de onda transitorias de encendido y apagado de cada evento de conmutación, los armónicos de frecuencia de conmutación y la resolución PWM dan como resultado componentes de alta frecuencia. Estos deben medirse y reproducirse con precisión. En consecuencia, los simuladores en tiempo real para sistemas de conversión de energía ejecutan modelos a una velocidad mucho mayor que la que normalmente se encuentra en otras aplicaciones HIL. Con los dispositivos semiconductores de ancho de banda ancha de conmutación rápida que empujan las frecuencias de conmutación prácticas a niveles cada vez más altos, los requisitos de velocidad para la simulación en tiempo real aumentarán aún más.
La métrica más significativa al comparar la "velocidad"de los simuladores en tiempo real es la latencia general de ida y vuelta, es decir, el tiempo total transcurrido desde la medición de las entradas hasta la actualización de las salidas. Esta es la suma de los retrasos asociados con el ADC, la actualización del modelo (cálculo), el DAC, más las latencias asociadas con la transferencia de datos.
Los retrasos individuales dependen de la topología de hardware subyacente. Existen varios enfoques, cada uno con ventajas y desventajas.
El primer enfoque utiliza, en esencia, un procesador de señal digital (DSP). Los DSP son procesadores

de números muy efectivos con conjuntos de instrucciones complejos, lo que resulta en tiempos cortos de actualización del modelo. Desafortunadamente, la ventaja de la velocidad de cálculo normalmente se ve contrarrestada por una latencia de E/S deficiente, causada por el protocolo de bus PCIe de uso común [3].
El segundo tipo de sistema HIL está basado en FPGA. En este caso, el modelo está completamente calculado por las celdas lógicas programables. El acceso directo a los componentes de E/S es posible con una latencia mínima. Usando una FPGA se permite la paralelización de ciertas tareas de cálculo, mejorando aún más la velocidad. Sin embargo, el desafío con los FPGA es una precisión numérica limitada y una flexibilidad reducida. En consecuencia, los modelos en tiempo real deben ser diseñados a la medida y altamente optimizados por expertos en FPGA. Los sistemas HIL basados en FPGA comúnmente vienen con un conjunto de topologías predefinidas para que el usuario seleccione. Esto es especialmente problemático si se utiliza un sistema HIL para desarrollar y analizar nuevas topologías de convertidores. Tales soluciones son sustancialmente menos transparentes y dificultan que los usuarios evalúen si el modelo en tiempo real realmente refleja el sistema simulado según lo previsto.
Con el objetivo de combinar las ventajas de ambos enfoques descritos hasta ahora, la tercera solución utiliza un dispositivo de sistema en un chip (SOC), que comprende núcleos de procesador y estructura FPGA. Aunque la latencia de E/S es ligeramente mayor que con una solución FPGA pura, la potencia de cálculo de los núcleos de procesador asociados compensa la diferencia y permite latencias de ida y vuelta comparables, con la ventaja de una mayor flexibilidad. Por lo tanto, el enfoque SOC permite una representación en tiempo real más precisa del modelo del sistema fuera de línea original y no limita la topología del convertidor [3].




**Figura 1:** Módulo Simulador en tiempo real PLECS [4].

## 3.3. Simulador en tiempo real Typhoon HIL

Primer sistema de ensayo en 'Hardware in the Loop' de tamaño compacto, para simulación en tiempo real de sistemas de electrónica de potencia con uno o varios convertidores. Este simulador de sistemas de electrónica de potencia en tiempo real, de 4 núcleos, compacto y muy potente, proporciona todas las herramientas necesarias para realizar los ensayos en 'Hardware in the Loop' de los controladores de electrónica de potencia en un rango amplio de aplicaciones: generación de energía solar y eólica, almacenamiento de energía, calidad del suministro eléctrico, etc [5].

En estas plataformas, es posible utilizar la metodología de hardware in the loop, la cual consiste en conectar un dispositivo bajo prueba (DUT) a un sistema simulado mediante simulación en tiempo real en

una computadora, equipada con todas las entradas y salidas necesarias para comunicarse con el DUT real.




**Figura 2:** Módulo Simulador Typhoon [5].

**Características de Typhoon:**

- Procesador FPGA de 4 núcleos para emular sistemas de electrónica de potencia en tiempo real con hasta 4 convertidores.
- Permite realizar los ensayos HIL del controlador con un Tiempo de Muestreo PWM 20ns.
- Velocidad de actualización de hasta 2MHz. Paso de simulación en tiempo real 0,5us; 1us ó 2us
- Interconexión con el controlador a través de 16 salidas analógicas, 16 entradas analógicas, 32 entradas digitales y 32 salidas digitales.
- Coprocesadores dedicados para el prototipado rápido de control.
- Se pueden construir los modelos del convertidor utilizando una librería extensa de componentes de electrónica de potencia y ejemplos predefinidos.
- Es posible automatizar los ensayos con scripts Python para poder probar completamente el software de control.
- Software capaz de realizar simulaciones en tiempo real y simulaciones virtuales sin hardware conectado [5].

## 3.4. OPAL RT 4510

Utiliza la caja de herramientas electrónica de potencia basada en FPGA hardware-in-the-loop escalable OPAL-RT e integra una poderosa computadora en tiempo real, modelos de máquinas y un conjunto de bloques electrónicos de potencia, solucionadores precisos de alta velocidad y módulos FPGA versátiles que cumplen con los requisitos más exigentes. de pruebas precisas de controladores y simulación de accionamiento de máquinas [6].
En estas plataformas, es posible utilizar la metodología de hardware in the loop, la cual consiste en conectar un dispositivo bajo prueba (DUT) a un sistema simulado mediante simulación en tiempo real en una computadora, equipada con todas las entradas y salidas necesarias para comunicarse con el DUT real.
Para los accionamientos de máquinas eléctricas, esto se realiza simulando un accionamiento, total o parcialmente, utilizando un simulador en tiempo real de alto rendimiento que implementa la máquina y la electrónica de potencia (para varios tipos de convertidores e inversores). El simulador también tiene que

poder emular la carga mecánica conectada en el eje de la máquina. Un sistema de este tipo puede simular varias unidades de máquina junto con equipos mecánicos para emular un sistema completo (como un tren motriz híbrido o un vehículo) utilizando interfaces de entradas/salidas (IO) y un entorno de software flexibles [6].




**Figura 3:** Módulo Simulador en tiempo real OPAL RT 4510 [7].

**Principales características**

La caja de herramientas de electrónica de potencia basada en FPGA tiene, en su corazón, un solucionador de hardware eléctrico (eHS). El solucionador eHS es una tecnología basada en FPGA desarrollada por OPAL-RT para la simulación de electrónica de potencia en tiempo real. Gracias a una conveniente interfaz gráfica de usuario esquemática del circuito, el código FPGA se genera automáticamente, lo que hace que la simulación basada en FPGA sea accesible para una gran cantidad de usuarios. El solucionador de hardware eléctrico (eHS) OPAL-RT es un potente solucionador de punto flotante desarrollado por OPAL-RT que permite a los usuarios simular un circuito eléctrico en un FPGA.

Automáticamente, sin tener que escribir las ecuaciones matemáticas. Combina la simplicidad de construir modelos de circuitos eléctricos usando nuestro editor de esquemas OPAL-RT o SimPowerSystems Toolbox, PSIM, PLECS Blockset o el software NI Multisim con la fuerza de los simuladores basados en FPGA OPAL-RT para resolver las corrientes y voltajes dentro del circuito en tiempo real, con un tiempo de muestreo inferior a 1 s. La cuarta generación del solucionador eHS utiliza el análisis nodal modificado. Resuelve una matriz de conductancia para encontrar el voltaje en cada nodo del circuito y la corriente en cada rama. La matriz de conductancia del circuito se independiza de las señales de control del interruptor mediante la implementación del método Pejovic1 que representa la impedancia del interruptor. Con este método, un interruptor conductor se representa como una inductancia y un interruptor abierto se representa como una capacitancia, por lo que la matriz de conductancia no cambia durante la simulación. La próxima quinta generación se basa en el método de espacio de estado que permite un mayor orden de discretización y ofrece mejores rendimientos que la generación anterior. Actualmente se encuentra en una versión beta y se está desarrollando activamente para convertirse en nuestra generación oficial más nueva [6].

**CARACTERÍSTICAS CLAVE**

1.1 CONFIGURABILIDAD

**4ta generación**

No es necesario volver a calcular la matriz de conductancia, ya que los interruptores se representan mediante el método de Pejovic* . Todas las matrices necesarias para resolver el sistema se cargan en el motor FPGA cuando se inicia la simulación. No es necesario reconfigurar el motor con firmware específico para cada aplicación. Esta característica hace que la ejecución de simulaciones en tiempo real de sistemas eléctricos a altas tasas de muestreo sea tan fácil como cualquier simulación RT-LAB.

**5ta generación**

Esta nueva generación utiliza un nuevo método de análisis de circuitos basado en la resolución de ecuaciones de espacio de estado para un método de discretización más rápido y preciso. Los componentes de conmutación ahora se calculan con mayor fidelidad gracias a la tecnología Time Stamped Bridge, que considera los eventos de conmutación con una precisión de hasta 625 ps de resolución. Esta generación permite la simulación precisa de sistemas electrónicos de potencia controlados por frecuencia y/o fase, como convertidor resonante (topologías CLLC, LLC) y Dual Active Bridge con frecuencia de conmutación superior a 200 kHz. 1.2 RENDIMIENTO 4ª Generación: El tiempo de muestreo del sistema eléctrico resuelto por el solver eHS oscila entre 200ns y 4s, dependiendo de la complejidad del circuito. 5ª Generación: El tiempo de muestreo del sistema eléctrico resuelto por el solver eHS oscila entre 90ns y 4s, dependiendo de la complejidad del circuito. 1.3 COMPATIBILIDAD Los solucionadores de eHS proporcionan un entorno flexible que permite al usuario diseñar el circuito simulado en varios editores de netlist como Editor de esquemas OPAL-RT Cajas de herramientas SimPowerSystems y PLECS Simulink Powersim PSIM Software NI Multisim 1.4 ESCALABILIDAD eHS existe en varias clases de licencia para adaptarse a plataformas basadas en FPGA de gama baja a alta. Es capaz de simular un circuito Boost con un paso de tiempo tan bajo como 200 ns (4.ª generación) y 90 ns (5.ª generación), así como un sistema de microrred con una resolución excepcional. Según el caso de uso, es posible interconectar varios núcleos eHS mediante un sistema multi-FPGA con enlaces SFP de 5 Gbps de baja latencia entre chasis. 1.5 ESCENARIOS DE PRUEBA Es posible modificar los valores de los componentes durante la simulación para aplicar variaciones de carga y fallas utilizando la función de escenario [6].

**Requisitos**

Esta página reúne todos los requisitos de hardware y software para utilizar eFPGASIM. Chasis OP4510 (extremo medio) Ámbito de aplicación Recomendamos el uso de este simulador para modelos que requieran cualquiera de los siguientes: Hasta 32 canales de E/S analógicas Hasta 64 canales de E/S digitales Modelo de dos máquinas eléctricas en una sola FPGA eHSx64 es suficiente para simular la topología del convertidor Simulación de CPU en hasta 3 núcleos Hasta cuatro enlaces seriales de alta velocidad.

**Herramientas de simulación**

Se requiere el siguiente software para diseñar circuitos y ejecutar simulaciones. Sistema operativo Windows 7 (64 bits), Windows 10 (64 bits) Software de terceros MATLAB, Simulink, caja de herramientas Simulink Coder Uno de los siguientes: Caja de herramientas SimScape Power System (tecnología especializada Simulink), Caja de herramientas Plecs Simulink, PSIM o NI Multisim Opcional RT-EVENTS 4.0.3 o posterior.

**Desarrollo de firmware**

Se requiere el siguiente software para desarrollar firmware FPGA personalizado para aplicaciones particulares de máquinas/unidades. Software de terceros MATLAB y Simulink Suite Xilinx Vivado 2015.3 y generador de sistema Xilinx Vivado para DSP 2015.3 Tabla de compatibilidad Las siguientes versiones de software deben estar instaladas y en funcionamiento para realizar las pruebas descritas en este documento. Confirme que el software necesario esté instalado y pruebe para asegurarse de que funcionan correctamente [6].

Además de OPAL RT 4510, el cual como se dijo anteriormente, utiliza el software eHs, también se van a tocar dos plataformas de simulación en tiempo real como lo es PLECS y Typhoon, las cuales son opciones muy robustas para lo que es la implementación de sistemas de electrónica de potencia [6].

# 4. FLUJO DE TRABAJO SIMULACIÓN OPAL 4510 RT-LAB

## 4.1. RTLAB

RT-LAB es un software desarrollado por OPAL-RT, el cual permite que los modelos dinámicos construidos en Simulink, puedan ser ejecutados en tiempo real, todo esto a través del método Hardware in the loop. La principal ventaja que se presenta con el uso de RT-LAB es que es lo suficientemente flexible para ser aplicado a simulaciones complejas, y permite acelerar la ejecución, control y prueba.

Sin lugar a dudas, el concepto más importante en una simulación en tiempo real es el tiempo de paso o tiempo de muestreo; ya que durante este intervalo de tiempo, el procesador o CPU debe recibir y leer datos de entrada del sistema, tales como sensores, hacer los cálculos necesarios, como los algoritmos de control, para finalmente escribir todas las salidas. El fenómeno más problématico se da cuando se sobreescribe la información, es decir, cuando el paso de tiempo es lo suficientemente pequeño que no es suficiente para escribir las entradas, realizar los cálculos y escribir las salidas.

En el software de RT-LAB se encuentra una caja de herramientas llamada ARTEMIS, diseñada para apoyar las simulaciones en tiempo real, para mejorar las oscilaciones y precisión de la simulación, de sistemas de potencia, através de un paso de tiempo mayor.
Es muy importante tener en cuenta que para correr cualquier modelo de Simulink en el OPAL-RT 4510, hay que seguir cuatro pasos que son: Agrupación del modelo en substistemas. A cada subsistema agregar un bloque Opcomm. Maximizar las operaciones en paralelo y variables de estado; y la configuración de los parámetros de la simulación en tiempo real [8].

Es muy importante tener claro que el modelo de Simulink está dividido en subsistemas, de los cuales, un subsistema, cuya convención de nomenclatura, dado por el OPAL-RT, es SM, significa subsistema maestro, el cual está dedicado a la parte computacional del modelo, es decir que en esta parte del modelo de Simulink, se realizan todas las operaciones matemáticas, y todos los cálculos y operaciones relacionados al proceso físico estudiado. El otro subsistema, denotado por convención del OPAL-RT como SC, significa subsistema consola, y está destinado a la interacción del usuario con la simulación al momento de está ejecutarse.En este subsistema se muestran todos los bloques de interfaz como displays y scopes, además de las constantes de entrada para el subsistema maestro.

Las simulaciones realizadas durante el desarrollo del presente trabajo de grado, se hicieron utilizando el software de RT-LAB versión 2021-3.4, como se muestra en la figura 4.

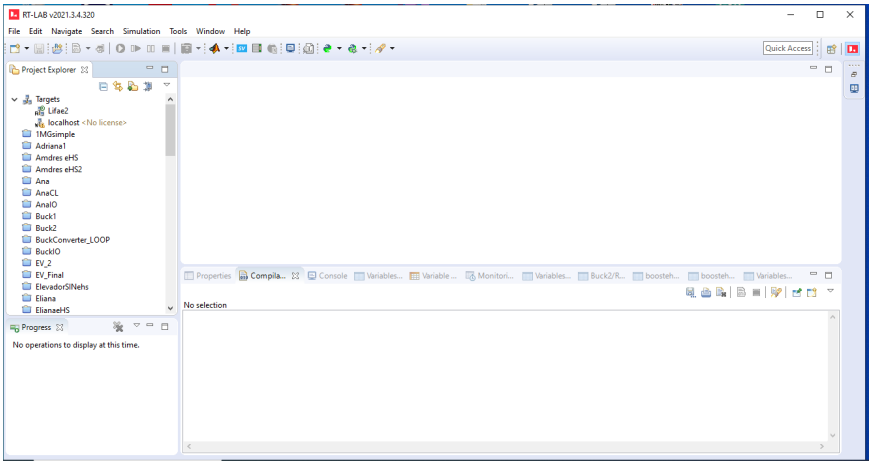



**Figura 4:** Simulador RT-LAB Versión 2021.3.4.320.

## 4.2. Matlab/Simulink-EHS Solver

Es muy importante tener en cuenta que para llevar a cabo las simulaciones en tiempo real en la herramienta del OPAL-RT 4510, se contó con el sotware Matlab/Simulink, ya que es en el entorno de Simulink donde se construyeron los subsistemas que constituyen el modelo construido, además de librerías y bloques necesarios para llevar a cabo la simulación en el software RT-LAB. Una vez desarrollados los modelos en bloques, estos se enlazan a RT-LAB para ser cargados en las tarjetas del equipo OPAL-RT. En el presente trabajo de grado se utilizó la versión 2017a de Matlab, ya que el equipo de la Universidad donde se realizaron las simulaciones, tenía la licencia del OPAL-RT asociado con esta versión de Matlab.

Como se mencionó anteriormente, RT-LAB trabaja en base a subsistemas en Simulink, y en el cual se agrupan los bloques dentro de uno solo, a modo de simplificar el modelo. Estos establecen una jerarquía dentro del modelo y mantienen una funcionalidad entre los subsistemas. En la figura 5, se muestra cómo se agrupan componentes de un modelo, con el fin de simplificarlo.

En RT-LAB la implementación en subsistemas tiene dos objetivos principalmente, el primero es diferenciar el subsistema master ”SM”, o también conocido como subsistema computacional, del subsistema consola o subsistema que contiene a la GUI. El segundo es asignar subsistemas de computación a diferentes núcleos de la CPU. Se puede concluir que el software RT-LAB solo trabaja con subsistemas de Simulink [8].

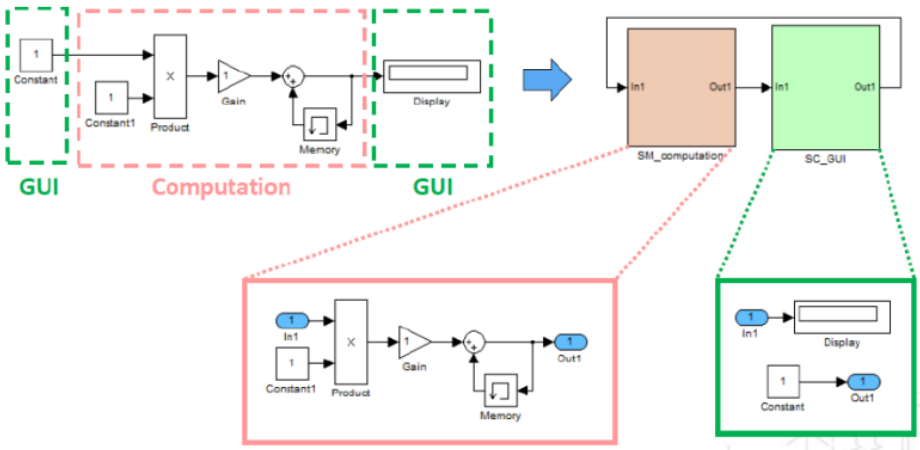



**Figura 5:** Comunicación entre Subsistemas GUI y Computacional en Simulink [8].

Un subsistema de computación o subsistema maestro, se ejecutará en tiempo real en un núcleo de la CPU del OPAL. Por otro lado, el subsistema consola o subsistema GUI, se mostrará en el equipo Host, que es el equipo donde la persona construye el modelo a simular, y donde el intercambio de datos entre dicho subsistema Consola y el equipo Host, es de forma asíncrona mediante el protocolo TCP/IP, como se muestra en la figura 6.

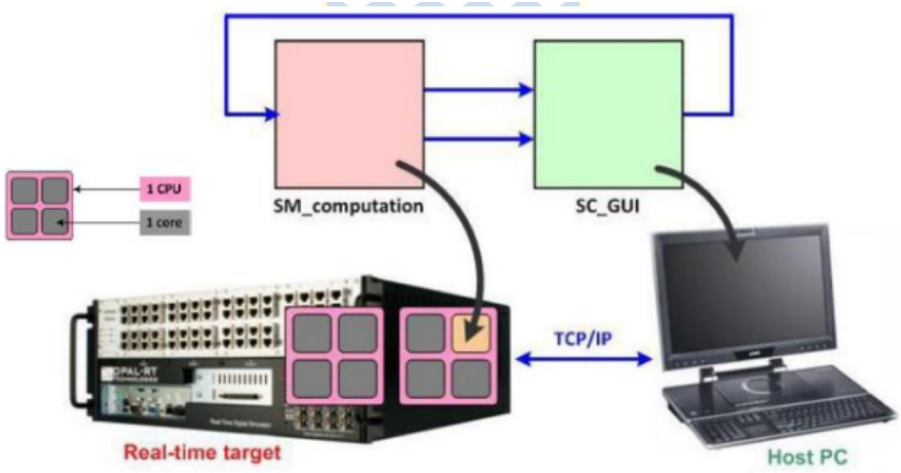



**Figura 6:** Host PC y Real Time Target del equipo OPAL-RT [8].

Por otro lado, se establecieron unas convenciones de nomenclaturas para nombrar tanto los subsistemas consola, como los subsistemas maestros. Esta nomenclatura es la siguiente:

Para un subsistema GUI o Consola, se utiliza SC_anyname, donde anyname es el nombre asignado para el subsistema, el cual puede ser cambiado a otro nombre de preferencia, respetando el uso del prefijo SC para así diferenciarlo del subsistema Maestro SM.

Para un subsistema maestro o de computación, se utiliza SM_anyname, donde anyname es el nombre asignado para el subsistema, el cual puede ser cambiado a otro nombre de preferencia, respetando el

uso del prefijo SM para así diferenciarlo del subsistema Consola SC. En estos subsistemas entran todos los elementos computacionales del modelo, operaciones matemáticas, bloques E/S, generadores de señales, modelos físicos, etc. En un modelo construido en Simulink, puede haber más de un subsistema de computación, y la comunicación entre estos es síncrona, a diferencia de la comunicación entre subsistema de computación y GUI, la cual es de forma asíncrona. Cada señal entre subsistemas (escalar o vectorial) debe ser de tipo double [8].

Para realizar la comunicación entre el o los subsistema(s) de computación, y el subsistema de consola, se debe hacer uso del bloque Opcomm, el cual se encuentra en la libreria RT-LAB de Simulink, como se muestra en la figura 7.

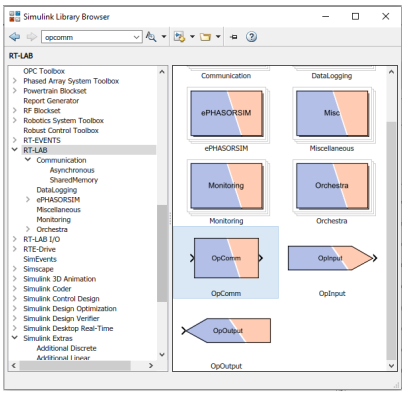



**Figura 7:** Bloque Opcomm en la librería RT-LAB de Simulink.

Para un subsistema tipo SM_ el bloque Opcomm recibe señales sincronizadas en tiempo real, mientras que recibe señales asincrónicas provenientes del subsistema de consola.
Para un subsistema SC_ un bloque Opcomm es suficiente para este caso. La máxima cantidad de bloques Opcomm que se pueden agregar para recibir señales provenientes de otros subsistemas es 25.

## EHS Solver (Bloque EHS)

Hay dos posibilidades al momento de ejecutar la simulación en tiempo real de un convertidor de potencia en la herramienta del OPAL-RT 4510. Una de ellas es realizando la simulación del convertidor de potencia utilizando la FPGA embebida dentro del equipo del OPAL-RT 4510; y la otra, es realizando la simulación en la CPU o procesador del equipo del OPAL-RT 4510, como se puede ilustrar en la figura 8.

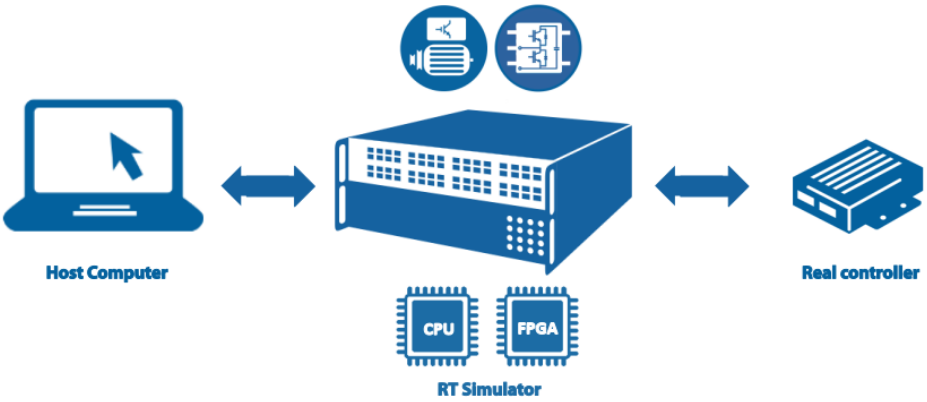



**Figura 8:** Simulación CPU/FPGA OPAL-RT 4510 [9].

Para el caso de cuando la simulación del modelo se realiza en la FPGA del OPAL, se hace uso del EHS solver, o solucionador EHS, el cual es un solucionador genérico y reprogramable basado en FPGA, que constituye el núcleo de la suite eFPGASIM. Este solucionador proporciona una cómoda interfaz de usuario que permite incorporar modelos en tiempo real creados en la plataforma de simulación de su elección, que en este caso es Power System Simulink toolbox.

Al realizar la simulación de un modelo en la FPGA del OPAL, mediante el uso del EHS Solver, se están aprovechando las grandes ventajas que ofrece la fpga, como lo es, un circuito eléctrico simulado a mayor velocidad y precisión, un tiempo de muestreo muy bajo, menor a 1 $\mu$s , además de no ser necesaria la programación de hardware en la fpga mediante código.
El bloque EHS puede ser considerado como una caja negra. Básicamente al interior de este bloque se encuentra el circuito que se va a simular, y al cual solo fuentes, sensores, y señales de disparo son accesibles.

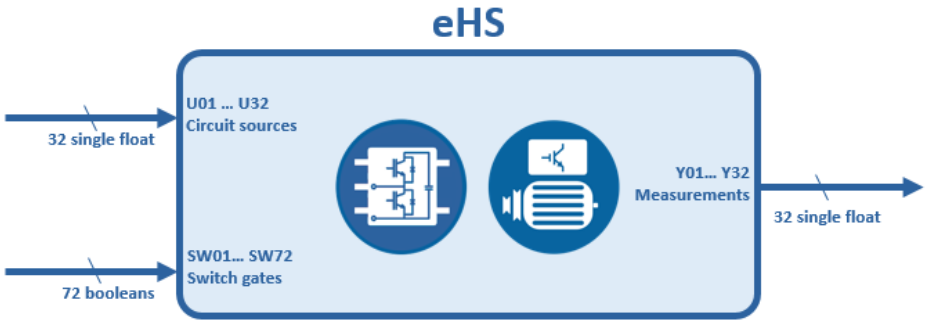



**Figura 9:** EHS Solver visto como una caja negra [9].

Para las simulaciones realizadas en el desarrollo del presente trabajo de grado, se hizo uso del EHS solver, el cual se representa como un bloque en el software de Simulink, y se encuentra en la librería eFPGASIM, como se muestra en la figura 10.

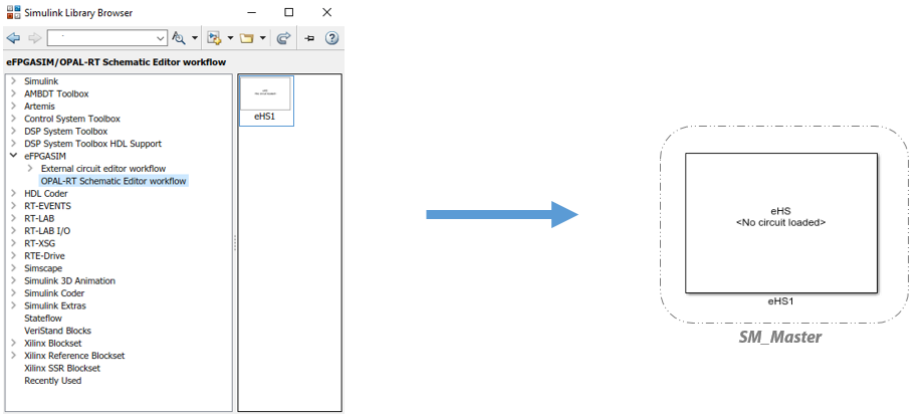



**Figura 10:** Bloque EHS en Simulink [9].

Una vez el bloque EHS es colocado en el espacio de trabajo de Simulink, se procede a construir o cargar, el modelo circuital que se va a simular en la FPGA del OPAL-RT.
Cuando se va a cargar o crear un modelo con el bloque EHS, se da doble clic sobre el bloque, el cual ofrece la opción ya sea de cargar un modelo ya construido, o de construir uno nuevo.

Para el caso de crear un modelo nuevo, al momento de abrir el bloque EHS, aparece lo mostrado en la figura 11.

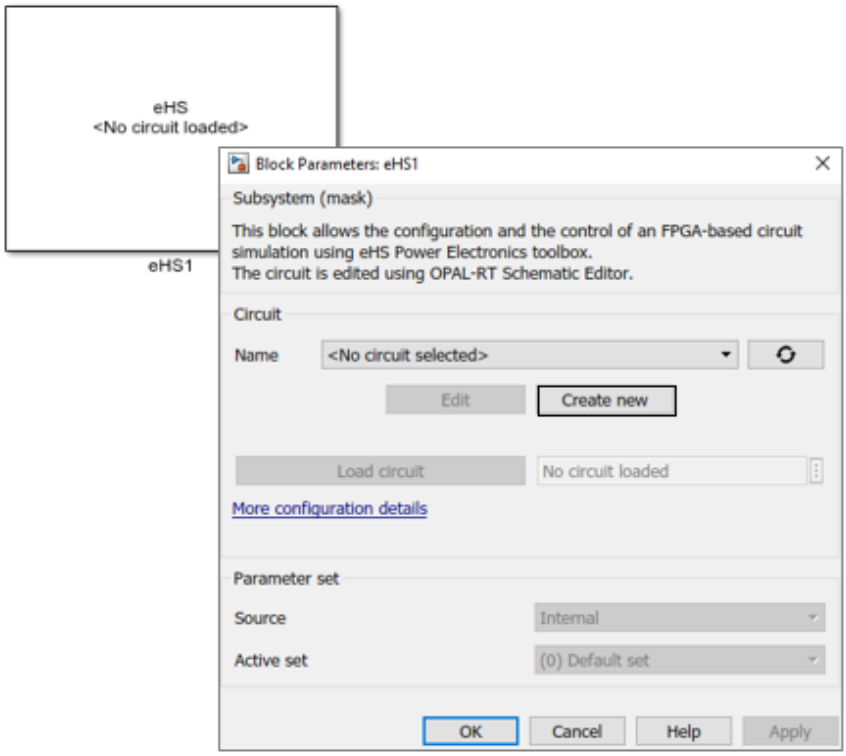



**Figura 11:** Bloque EHS en Simulink [9].

Para crear un nuevo modelo o circuito dentro del bloque EHS, se selecciona el recuadro que dice

Create new, el cual inmediatamente abre el editor de esquemas o Schematic Editor, el cual es un entorno agradable e intuitivo para la construcción de modelos eléctricos y electrónicos, y es en el cual se construye como tal el circuito que se quiere simular.

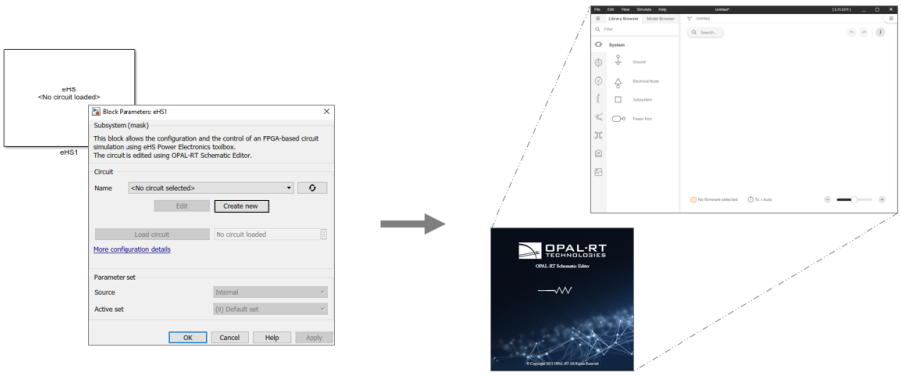



**Figura 12:** Bloque EHS en Simulink/Schematic Editor [9].

Una vez en el espacio de trabajo del Schematic Editor, se puede observar que se cuenta con diversidad de componentes eléctricos y electrónicos como fuentes, dispositivos pasivos, dispositivos semiconductores, entre otros; y con los cuales es posible la construcción del circuito que el usuario desea simular en la FPGA del OPAL-RT.

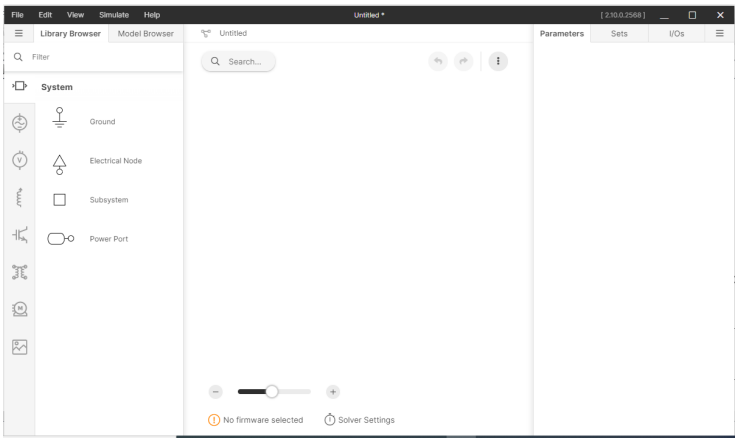



**Figura 13:** Espacio de trabajo Schematic Editor.

Una vez el usuario ha construido el circuito a simular en la FPGA del OPAL-RT 4510, el siguiente paso es guardar el modelo, para poder así seleccionar el archivo de firmware requerido por el simulador para la ejecución de la simulación en tiempo real. El firmware es un archivo proporcionado por OPAL-RT, en el cual está incluido el EHS Solver, y tiene información relacionada a conexiones de E/S con la FPGA. Se utiliza un archivo con extensión .bin.




**Figura 14:** Guardar y Firmware EHS [9].

Para seleccionar el firmware a utilizar, se siguen los pasos descritos continuación:

1. Abrir el menú de configuración del simulador, al cual es posible acceder cliqueando en la parte inferior del espacio de trabajo del Schematic Editor, la opción que dice "No firmware selected", con lo cual se abre el menú de configuración mostrado en la figura 15

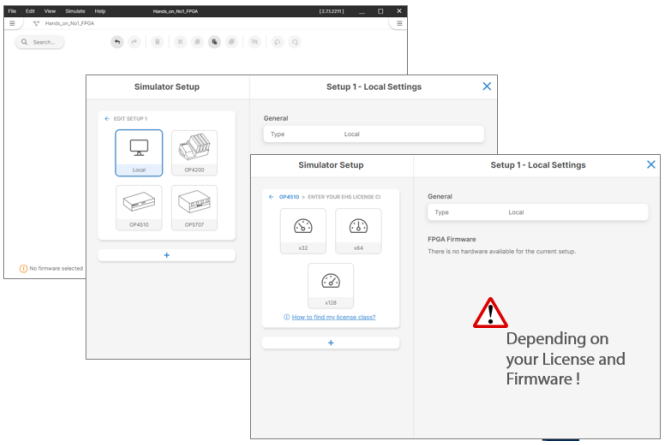



**Figura 15:** Firmware EHS en Schematic Editor [9].

2. Se debe seleccionar el tipo de simulador, que para el desarrollo del presente trabajo de grado fue el OPAL 4510.

3. Seleccionar la licencia del EHS utilizada, que para el caso del presente trabajo de grado se utilizó la x32.

4. Seleccionar el firmware. Se muestran todas las capacidades del firmware: número de E/S permitidas, tipos de máquinas y recursos adicionales.

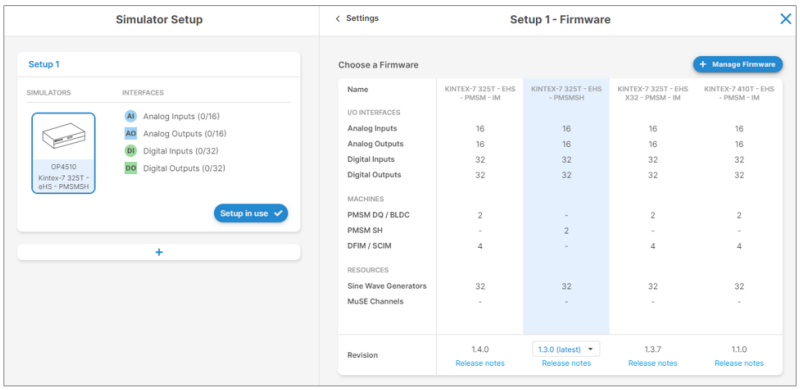



**Figura 16:** Configuración Firmware [9].

Realizados estos cuatro pasos antes descritos, queda configurado el firmware, y posteriormente se deben guardar los cambios, para así cargarlos en el bloque EHS, y completar la construcción del modelo en Simulink, para posterior a ello pasar al software RT-LAB y ejecutar la simulación en tiempo real del circuito construido.

**CONFIGURACIÓN SIMULACIÓN EN RTLAB**

Una vez construido y guardadp el modelo del circuito en Simulink, el paso a seguir se realiza en el software RT-LAB, donde se crea un proyecto nuevo, y se configuran parámetros para ejecutar la simulación en tiempo real.
Estando en el espacio de trabajo de RT-LAB, se crea un proyecto nuevo, y es allí donde se adjunta el archivo de Simulink, en extensión .slx, para ser posteriormente simulado en tiempo real.
Posteriormente, se debe crear una nueva interface de E/S, seleccionando en el menú de la parte izquierda del espacio de trabajo, la opción I/O interface, new I/O interface, la opción OPAL-RT Board, y dando finalizar para guardar la configuración.

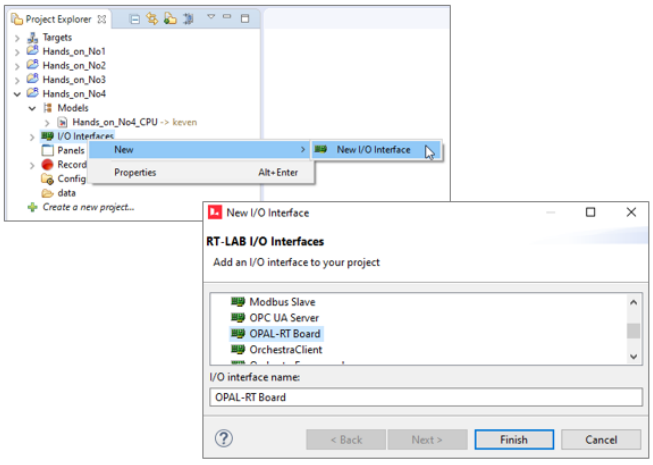



**Figura 17:** Configuración I/O Interfaces en RT-LAB.

Por último se deben configurar unos detalles adicionales, para que la simulación pueda ser desarrollada correctamente. Se debe escoger el tipo de chasis y el ID, seleccionar el archivo Bitstream, y habilitar

la reprogramación automática del flujo de bits.

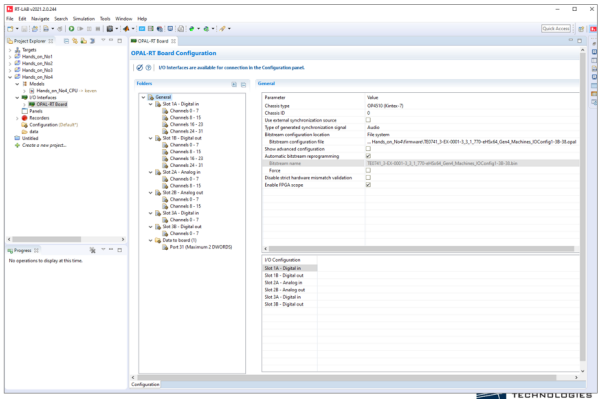


**Figura 18:** Configuración OPAL-RT board en RT-LAB.

## 4.3. Ejemplo de simulación de un convertidor de potencia en la CPU y FPGA OPAL 4510

### Ejemplo de simulación en la CPU del OPAL-RT 4510

A continuación se mostrará un ejemplo de una simulación hecha en el OPAL-RT 4510, en la cual no se utiliza el bloque EHS, es decir, la simulación se realiza en la CPU del OPAL-RT, y no en la FPGA del OPAL. Al no utilizar la FPGA para la simulación del circuito, el tiempo de muestreo utilizado para la simulación corresponde al tiempo de muestreo del procesador del OPAL, el cual es mucho mayor al tiempo de muestreo utilizado por la FPGA. Para este caso el tiempo de muestreo con el que trabajó el procesador fue 10 $\mu$ s. Con este ejemplo se pretende evidenciar el flujo de trabajo, donde se muestran los pasos que se deben realizar para ejecutar correctamente una simulación en tiempo real en el OPAL-RE 4510, los cuales fueron descritos previamente.

En este escenario, el circuito que se quiere simular no se encuentra embebido dentro del bloque EHS, sino que es contruido en el espacio de trabajo de Simulink, dentro del subsistema Maestro. Como se mencionó en apartados anteriores, el modelo debe ser dividido en subsistemas, teniendo un subsistema maestro "SM"para el cálculo y operaciones a ejecutar sobre el modelo físico; y un subsistema consola como interfaz gráfica. Es muy importante tener en cuenta que para este caso debe ser agregado el bloque Powergui, el cual debe configurarse con un tiempo de muestreo equivalente al del procesador del OPAL, el cual es de 10 $\mu$ s. En la figura 19 se muestran los subsistemas construidos para este ejemplo de simulación que no utiliza el bloque EHS.

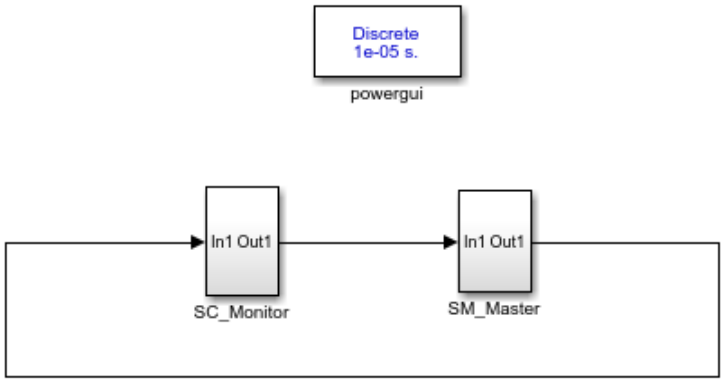



**Figura 19:** División del modelo en subsistemas.

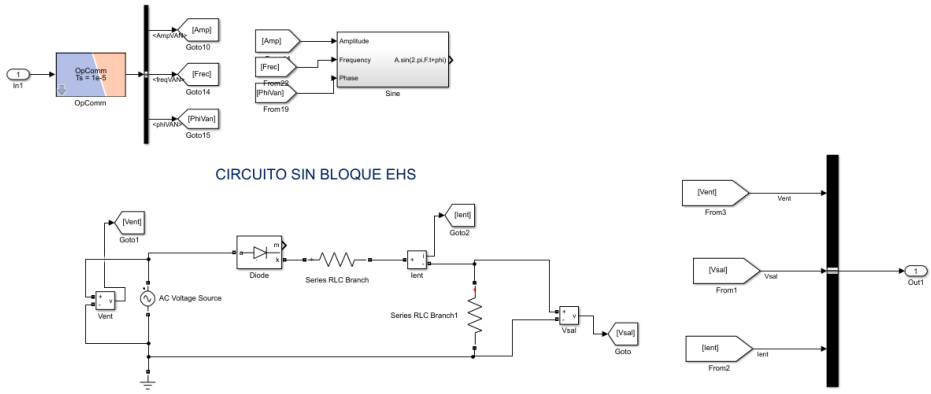



**Figura 20:** Subsistema Maestro Ejemplo a simular en la CPU del OPAL-RT 4510.

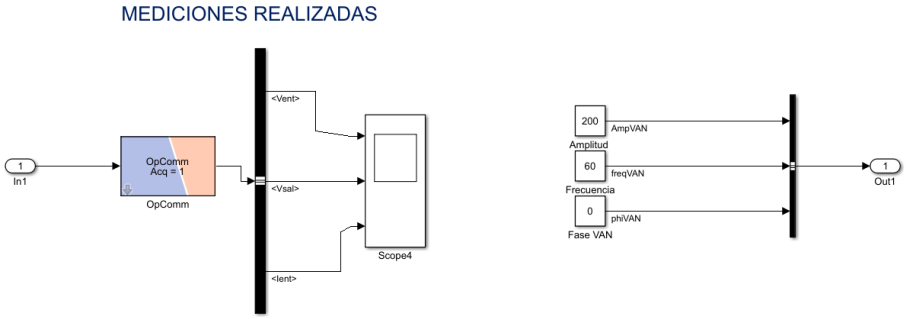



**Figura 21:** Subsistema Consola Ejemplo a simular en la CPU del OPAL-RT 4510.

Los parámetros con los que fue simulado el circuito de la figura 20 fueron:

- R1=R2=100Ω

- Ventrada=40Sen(2π*60+0)

Una vez es finalizada la construcción del modelo en Simulink, se lleva a simulación en el software de RT-LAB. Allí se crea un proyecto nuevo, y se carga el archivo de Simulink del modelo(en la parte de models), y se configura la OPAL-RT Board.

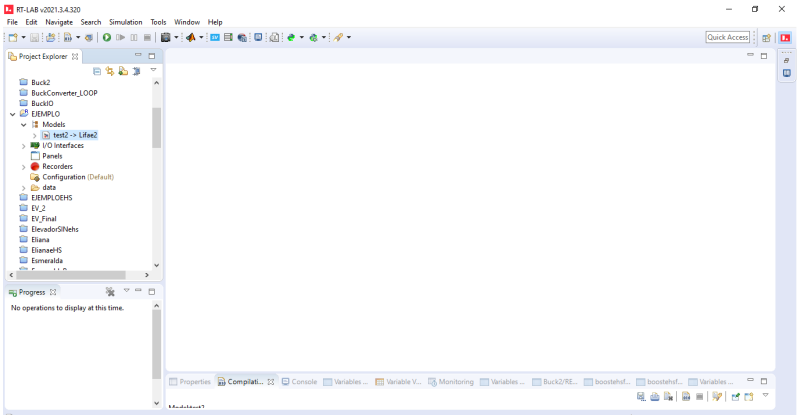


**Figura 22:** Proyecto nuevo en RT-LAB simulación en CPU del OPAL-RT.

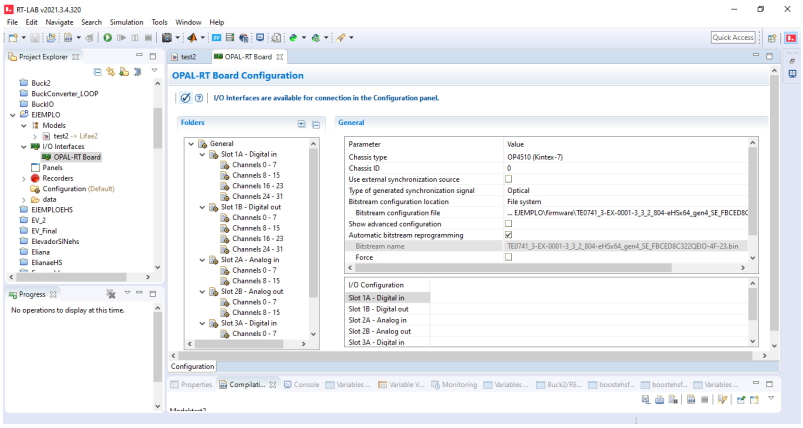



**Figura 23:** Configuración OPAL-RT Board en RT-LAB.

Por último, para poder observar los datos de las mediciones en tiempo real de las variables a medir de interés, se hace la configuración de los recorders, el cual relaciona los medidores ya sea de voltaje o de corriente puestos en el circuito a simular, y con ello mapea estos medidores al RT-LAB, y los muestra como variables a mostrar en tiempo real mientras se ejecuta la simulación. Para la configuración de los recorders, se cliquea en la parte izquierda del entorno de trabajo de RT-LAB donde dice Recorders, tal como se muestra en las figuras 24 y 25.

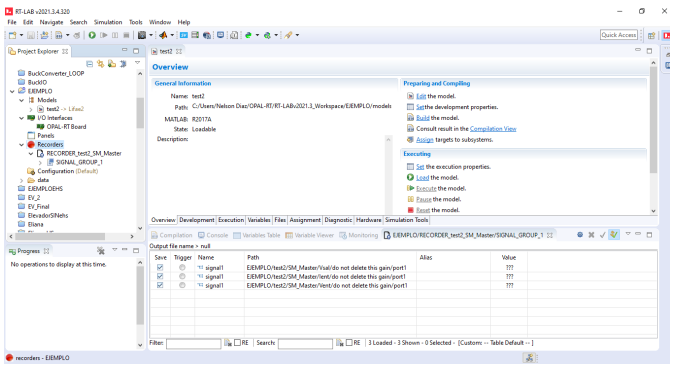


**Figura 24:** Configuración Recorders Simulación en RT-LAB.

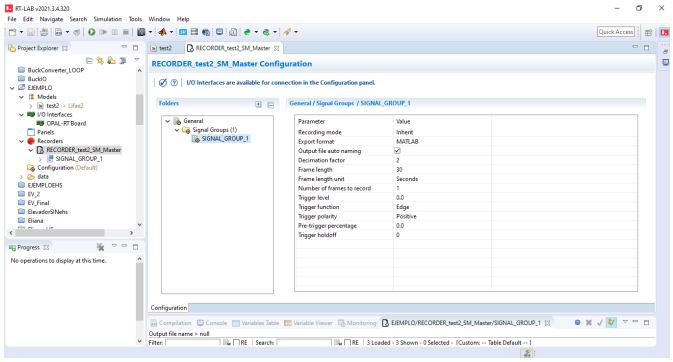


**Figura 25:** Configuración SignalGroup en Recorders Simulación en RT-LAB.

Una vez realizados estos pasos, se puede proceder a realizar la simulación en tiempo real del modelo. Para ello se deben seguir en orden unos pasos de simulación, y es primero compilar el modelo (build), segundo cargar(load) el modelo, tercero ejecutar(execute) el modelo, y finalmente resetear(reset). Esta última se ejecuta cuando se quiera parar la simulación. Estas opciones se muestran a continuación en la figura 26

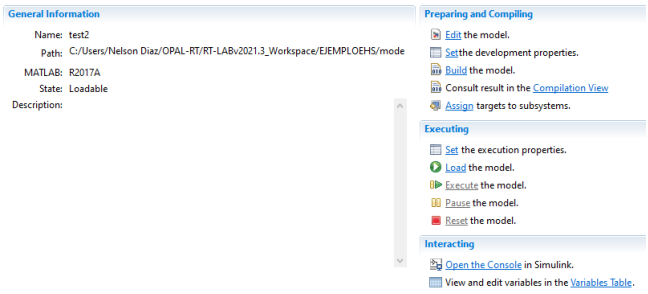



**Figura 26:** Pasos simulación OPAL-RT board.

Estos pasos de compilar, cargar, ejecutar y resetear, se realizan de la misma manera tanto para las simulaciones en la CPU del OPAL, como para las simulaciones en la FPGA del OPAL.
Una vez finalizada la simulación en tiempo real del circuito, los resultados del mismo son generados en

un archivo de datos con extensión .mat. En este archivo que se encuentra divido por columnas, donde en cada columna se encuentran un conjunto de datos, los cuales están asocidos con las variables que fueron medidas dentro del circuito. Al finalizar la simulación en tiempo real del circuito en la CPU del OPAL, y al graficar los resultados de los datos generados en el archivo .mat, se obtuvo lo mostrado en la figura 27.

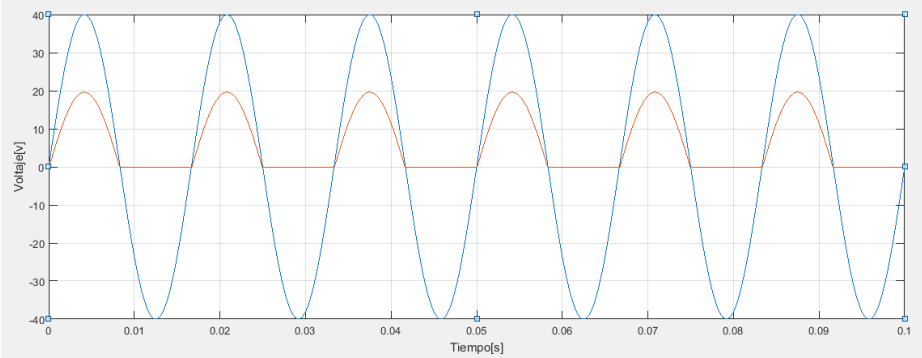



**Figura 27:** Simulación Rectificador de Media onda en la CPU del OPPAL-RT 4510.

## Ejemplo de simulación en la FPGA del OPAL-RT 4510

A continuación se mostrará un ejemplo de una simulación hecha en el OPAL-RT 4510, en la cual se utilizó el bloque EHS. Con este ejemplo se pretende evidenciar el flujo de trabajo, donde se muestran los pasos que se deben realizar para ejecutar correctamente una simulación, los cuales fueron descritos previamente.

El ejemplo que será mostrado corresponde a un rectificador de media onda, cuyo circuito se construyó en el Schematic Editor, como se muestra en la figura 28.

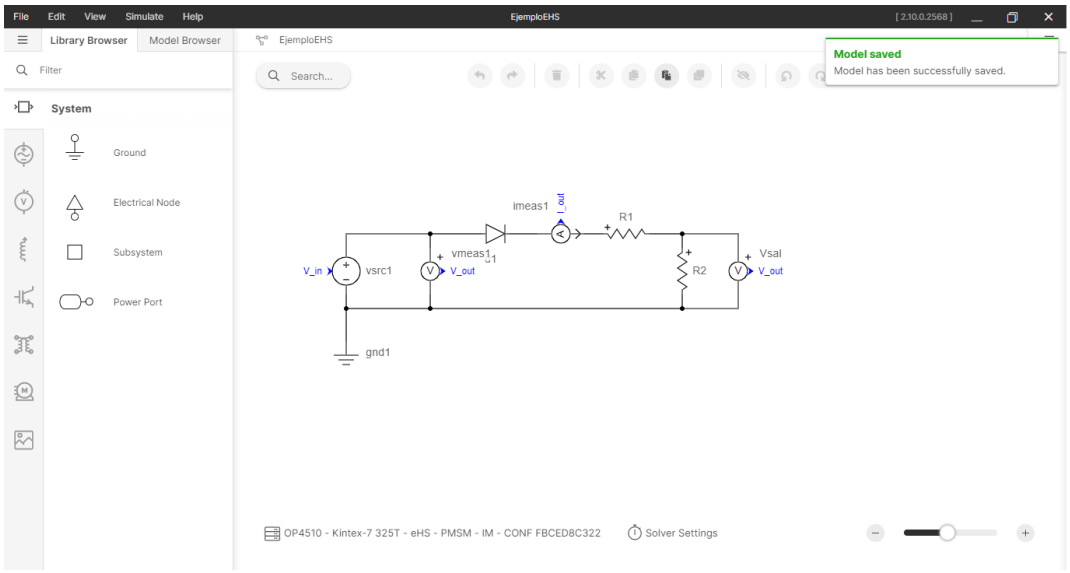



**Figura 28:** Rectificador media onda simulado en la FPGA del OPAL-RT 4510.

Los parámetros con los que fue simulado el circuito de la figura 28 fueron:

- R1=R2=100Ω
- Ventrada=40Sen(2π*60)

La configuración del firmware es la mostrada en la figura 29, de acuerdo al simulador con el que se cuenta para el desarrollo de este proyecto.

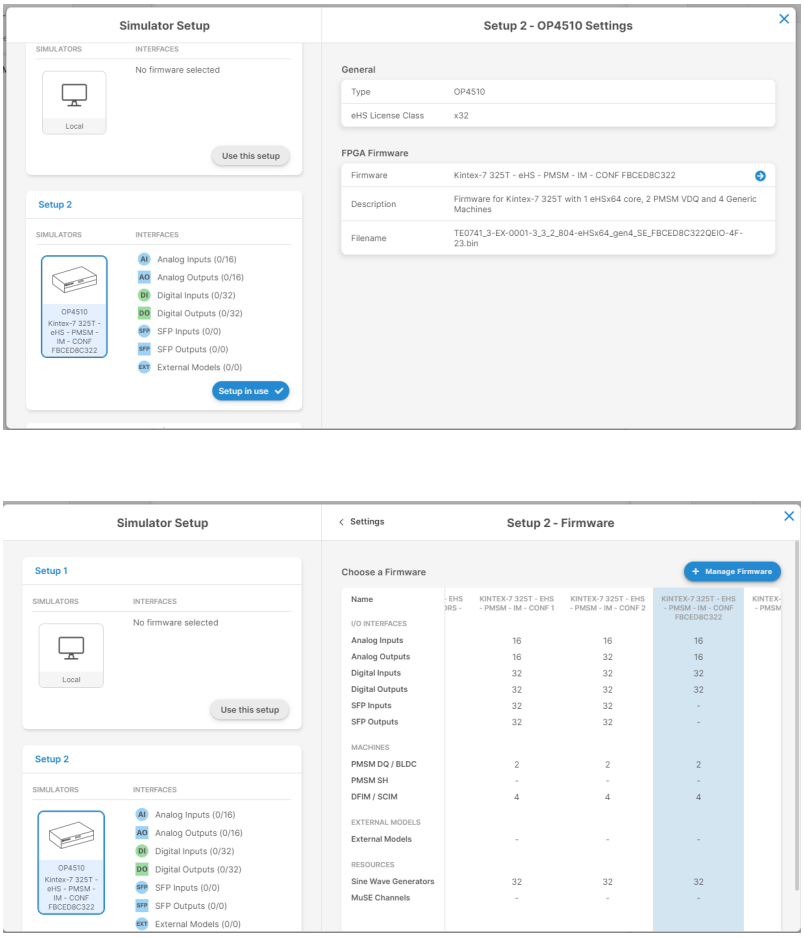



**Figura 29:** Configuración Firmware Schematic Editor.

Una vez hecha la configuración del firmware, y guardados los cambios, se actualizan las E/S en el bloque EHS en Simulink. Adicionalmente se agrega el bloque Opcomm, y se divide en subsistemas, como se muestra en la figura 30:

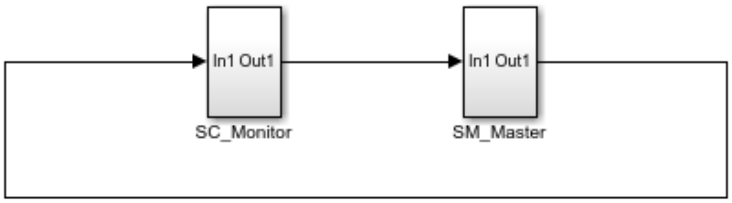



**Figura 30:** División del modelo en subsistemas.

De acuerdo a lo mostrado en la figura 30, el modelo fue dividido en dos subsistemas, donde uno de

ellos, denotado como SC_Monitor, corresponde al subsistema de consola o GUI; mientras que el subsistema denotado como SM_Master corresponde al subsistema maestro o de computación. En este subsistema maestro es donde se encuentra el bloque EHS, y donde se ejecutan operaciones, cálculos del modelo.

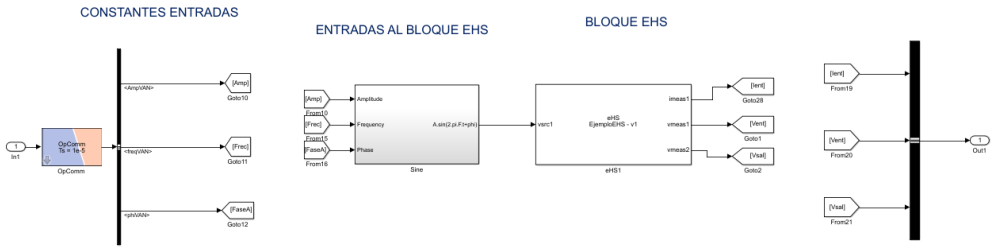



**Figura 31:** Subsistema Maestro Ejemplo simulación en la FPGA del OPAL-RT 4510.

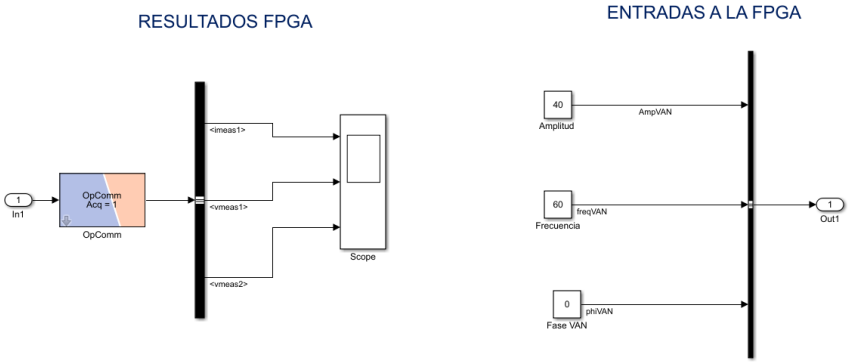



**Figura 32:** Subsistema Consola Ejemplo simulación en la FPGA del OPAL-RT 4510.

El siguiente paso una vez construido el modelo en Simulink, es hacer la simulación en tiempo real en el software de RT-LAB. Para ello se crea un proyecto nuevo en RT-LAB, y posterior a ello se adjunta el archivo de Simulink al proyecto, el cual contiene el modelo que se quiere simular en tiempo real.
Para este ejemplo se creó un nuevo proyecto en RT-LAB llamado EJEMPLOEHS, y al cual se le añade en la parte de models, el archivo de Simulink, el cual tiene el circuito a simular con bloque EHS.

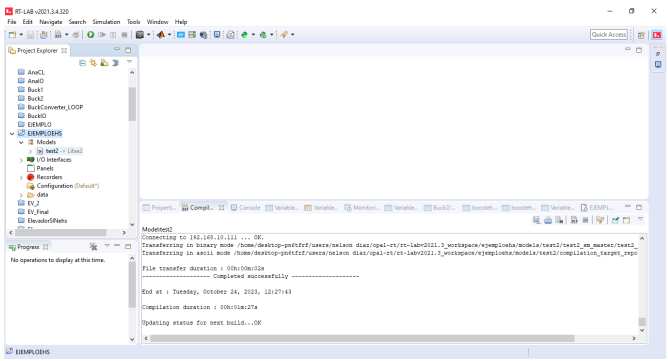


**Figura 33:** Proyecto nuevo en RT-LAB circuito simulación en FPGA del OPAL-RT.

Seguidamente se hace la configuración de la OPAL-RT Board, como se muestra en la figura 34.

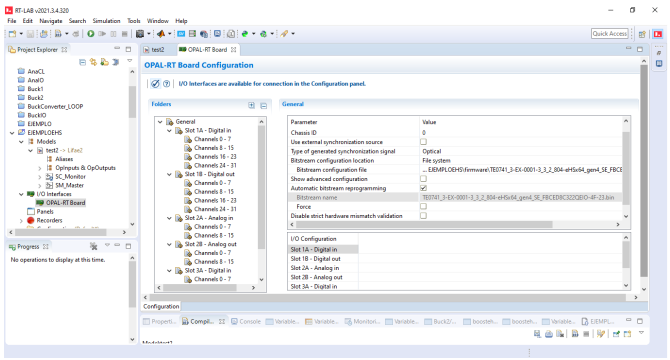



**Figura 34:** Configuración OPAL-RT board simulación en software RT-LAB.

Una vez realizados estos pasos, se puede proceder a realizar la simulación en tiempo real del modelo en la FPGA del OPAL-RT. Para ello se deben seguir en orden los pasos de simulación que fueron mencionados en el ejemplo de simulación en la CPU del OPAL. Primero compilar el modelo (build), segundo cargar(load) el modelo, tercero ejecutar(execute) el modelo, y finalmente resetear(reset).

Una vez completados todos los pasos antes descritos, se realizó la simulación del rectificador de media onda propuesto de ejemplo, utilizando la FPGA del OPAL-RT 4510..

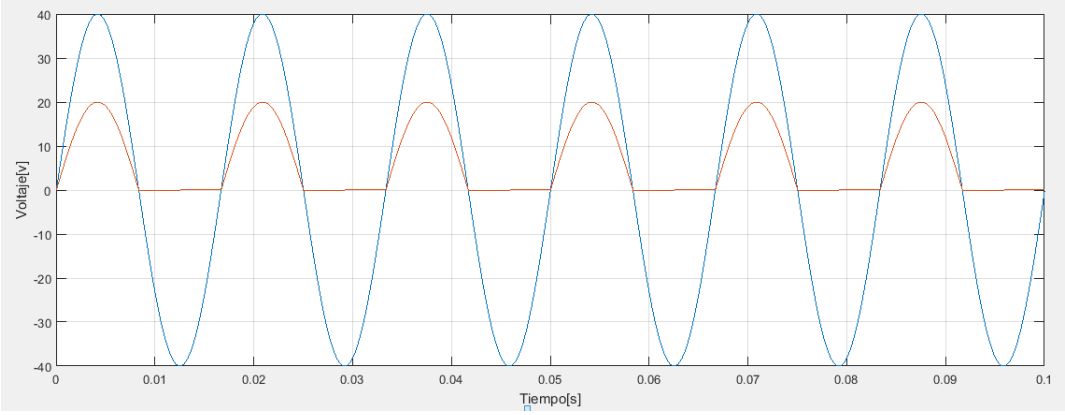



**Figura 35:** Simulación Rectificador de Media onda en FPGA del OPAL-RT.

## 4.4. Simulación de convertidores de Potencia mediante el método de LoopBack

Cuando se realiza la simulación en tiempo real de un convertidor de potencia, utilizando la FPGA del OPAL RT-4510, existe la posibilidad de que dicha simulación sea ejecutada de distintas maneras.
Una de las maneras posibles, es realizar la simulación del convertidor de potencia, mediante la construcción del circuito en el Schematic Editor o que es lo mismo, utilizando el bloque EHS, para posteriormente generar de forma externa al bloque EHS, la señal o señales de disparo para el o los dispositivos que actúan como interruptores dentro del circuito del convertidor. Estas señales de disparo, que actúan como señales de entrada para el bloque EHS, son generadas en el espacio de trabajo de Simulink, mediante bloques, y las cuales actúan como señales de entrada para el bloque EHS, y que son las señales que disparan ya sea el mosfet, igbt's, o cualquier dispositivo que se esté utilizando como interruptores dentro del circuito.

Al generar dichas señales de disparo externamente al bloque EHS, estas son generadas a la frecuencia de muestreo del procesador o CPU del OPAL, la cual es una frecuencia de muestreo menor comparado a la frecuencia de muestreo que se maneja cuando se generan señales internamente en la misma FPGA.
Una alternativa de simulación para los convertidores de potencia, se da mediante la construcción del circuito en el Schematic Editor, con la diferencia de que ahora las señales de disparo de los dispostivos, no se generan externamente al bloque EHS y como entradas del mismo, sino que ahora las señales de disparo se generan internamente en la misma FPGA, lo que significa que las señales son generadas a una mayor frecuencia de muestreo, y con una precisión mayor en comparación a cuando las señales se generan externamente mediante bloques de Simulink. Esta alternativa de simulación permite obtener resultados más precisos, en comparación a cuando se simula generando las señales de disparo a la frecuencia de trabajo de la CPU del OPAL-RT 4510.

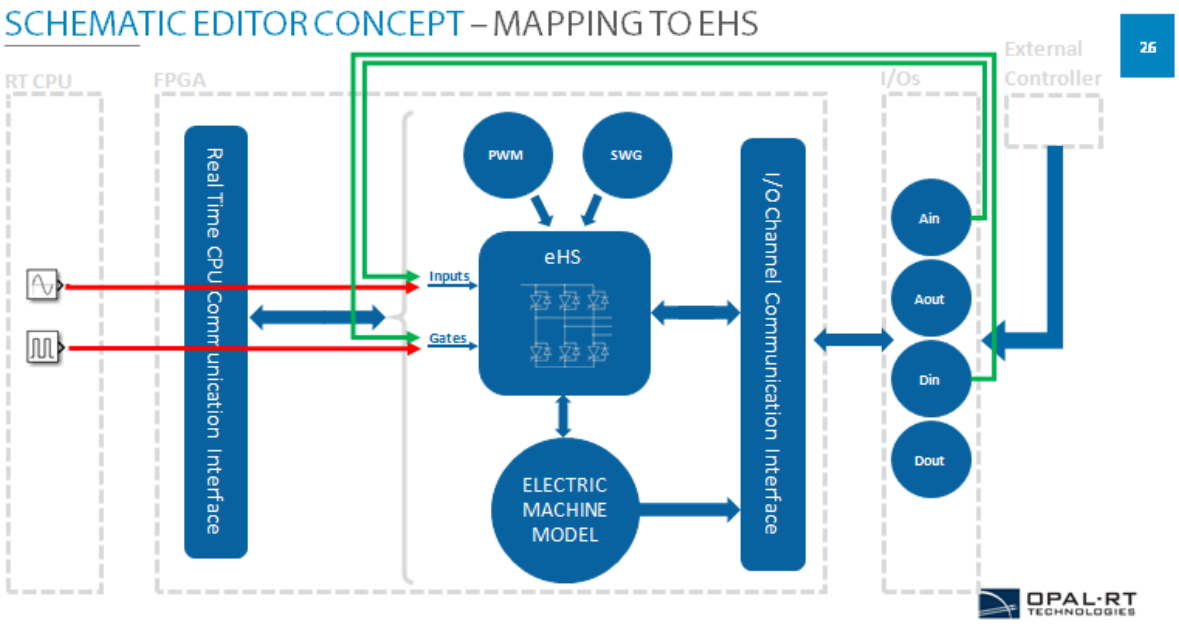



**Figura 36:** Realimentaciones para hacer Loopback [9].

En la figura 36, se ilustran las alternativas para ejecutar una simulación en tiempo real en la FPGA del OPAL-RT 4510. En dicha figura se observa que para todo convertidor de potencia que se construya para ser simulado en la FPGA, es decir, en el Schematic Editor, se da la posibilidad por ejemplo, de que las señales de entrada, ya sean fuentes de alimentación o señales de disparo, se generen a la frecuencia de la CPU, esto como lo muestran las líneas de color rojo en la imágen, las cuales muestran que en la CPU son generadas las señales de entrada para el circuito del convertidor.
Por otro lado, se da la posibilidad de que las señales de fuentes de alimentación, y señales de disparo, sean generadas internamente en la misma FPGA, esto mediante un Loopback, o realimentación que se hace entre salidas y entradas digitales dentro del dispositivo del OPAL como se puede observar mediante las líneas de color verde en la imágen.

Cuando se realiza una simulación en tiempo real en la FPGA del OPAL-RT 4510, mediante el método de Loopback, lo que se hace es realizar una configuración para que las señales de disparo para los dispositivos semiconductores, no sean generadas en Simulink o de forma externa al bloque EHS, sino que sean señales generadas internamente por la misma FPGA, generándose así en los puertos físicos digitales del OPAL, señales de salida, las cuales son realimentadas y actúan como señales de entrada para el disparo de los dispositivos semiconductores, con lo cual, el proceso de conmutación de los dispositivos se hace todo internamente desde la FPGA. El realizar la simulación con el método LoopBack genera resultados más precisos comparado a cuando se simula mediante la generación de la señales de disparo externamente. En la figura 37 se muestra las conexiones que se realizan físicamnente en el OPAL para realizar la realimentación de las señales.

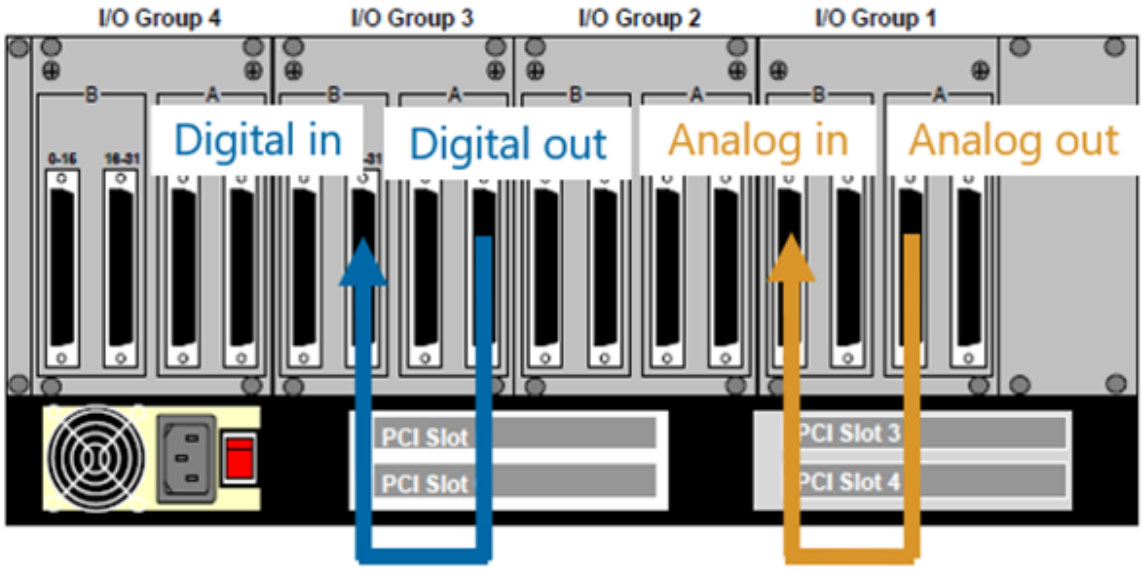


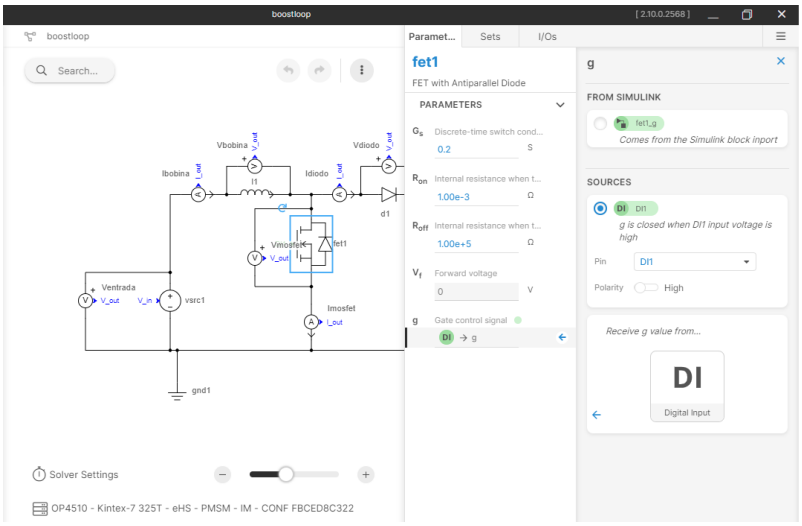

**Figura 37:** Conexiones físicas para una simulación en LoppbacK [9].

A continuación, se mencionará en general, los pasos para desarrollar una simulación en tiempo real mediante Loopback.

1. Cuando se va a realizar la simulación en tiempo real de un convertidor de potencia, en la FPGA del

OPAL-RT 4510, esto mediante Loopback, lo primero que se debe de hacer es construir completamente el circuito del convertidor de potencia a simular, en el Schematic Editor, al cual se accede a través del bloque EHS.

2. Una vez es construido el circuito del convertidor de potencia en el Schematic Editor, el paso a seguir, es realizar la configuración de los dispositivos que actúan como interruptores, para que dichos dispositivos reciban sus señales de disparo provenientes de la misma FPGA, y no como señales generadas externamente con bloques de Simulink.
En la figura 38, se muesta la configuración de disparo mediante Loopback. realizada para un mosfet que hace parte de un convertidor elevador Boost, como también se muestra la configuración para uno de los IGBT's que componen un inversor trifásico.



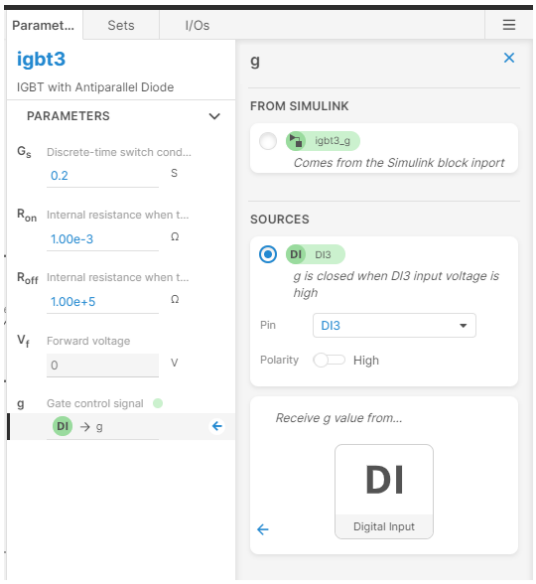




**Figura 38:** Configuración disparo semiconductores mediante Loopback

Como se observa en la figura 38, tanto para el mosfet como para el igbt, se tienen dos posibilidades para que el dispositivo reciba la señal de disparo requerida. Por un lado, se tiene la opción de que, ya sea para el mosfet, el igbt, o cualquier otro dispositivo semiconductor que se utilice, la señal de disparo para el dispositivo llegue externamente mediante bloques de Simulink, o la otra posibilidad, que es mediante una salida digital realimentada, siendo esta la opción a elegir para cuando se desea simular mediante Loopback.

2. Una vez es realizada la configuración para que los disparos de los dispositivos semiconductores se realice de manera interna en la FPGA, lo que se debe de hacer, es realizar la construcción en el espacio de Simulink, del circuito que permite generar los pulsos de disparo para cada dispositivo semiconductor. Una vez construido en Simulink el circuito para generar los pulsos de disparo, lo que se debe de hacer, es utilizar un bloque llamado OpOutput, por medio del cual es posible mapear desde Simulink al software de RTLAB, los valores de los parámetros de ciclo útil y frecuencia, y a partir de ello poder realizar la o las modulaciones correspondientes que permitan generar las señales de disparo requeridas. Esto se realiza de la misma manera en todos los convertidores implementados, como por ejemplo el inversor trifásico, en el cual se construye el circuito de disparo, y para el cual los valores de ciclo útil y de frecuencia, son los que llegan al bloque OpOutput, para luego mapearlos al software RTLAB, y con ello realizar las modulaciones respectivas que producen las señales de disparo de los IGBT's de manera interna en la FPGA.




**Figura 39:** Mapeo valores de ciclo útil y frecuencia para un Convertidor Boost

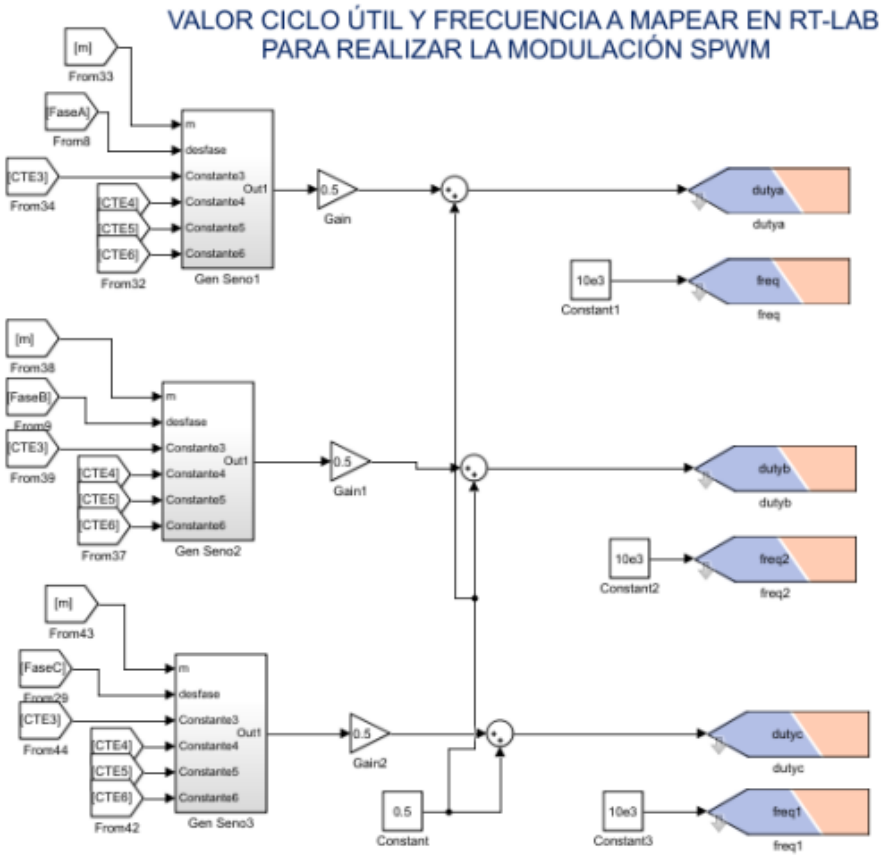



**Figura 40:** Mapeo valores de ciclo útil y frecuencia para un Inversor Trifásico

Como se observa en la figura 39 y 40, los bloques OpOutput almacenen los valores de los parámetros importantes para hacer una modulación de ancho de pulso, como lo es el valor del ciclo útil y de la frecuencia de conmutación. Mediante el bloque OpOutput dichos valores de parámetros son mapeados al software de RT-LAB, para que allí se realice la configuración que permita generar los de disparos en la FPGA.

3. Una vez construido el circuito de disparo en Simulink, para mapear a RTLAB los valores de ciclo útil y de frecuencia, se procede a realizar la configuración en RTLAB, para que a partir de los parámetros mapeados, poder realizar la modulación de ancho de pulso (Pulse width modulated), que permita generar las señales de disparo internamente en la FPGA. Por medio del bloque OpOutput se mapean estos valores al software de RTLAB, donde allí se configura para que se realice la modulación de ancho de pulso a partir de estos parámetros mapeados desde Simulink. En las figuras 41 y 42 se muestra el mapeo de Simulink a RTLAB, de los valores de ciclo útil y de frecuencia para el caso de un convertidor Boost y un inversor trifásico.

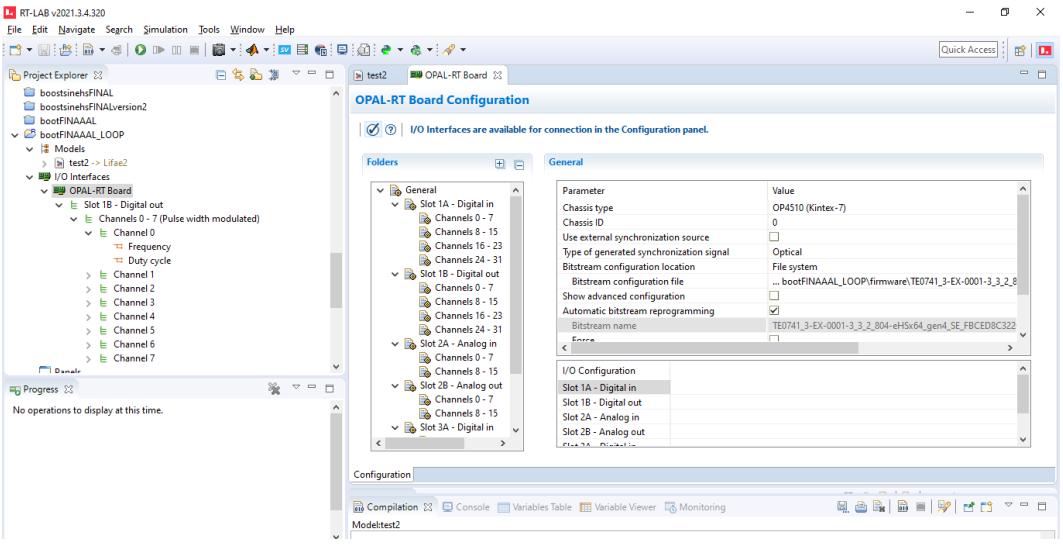



**Figura 41:** Mapeo disparo mosfet mediante Loopback

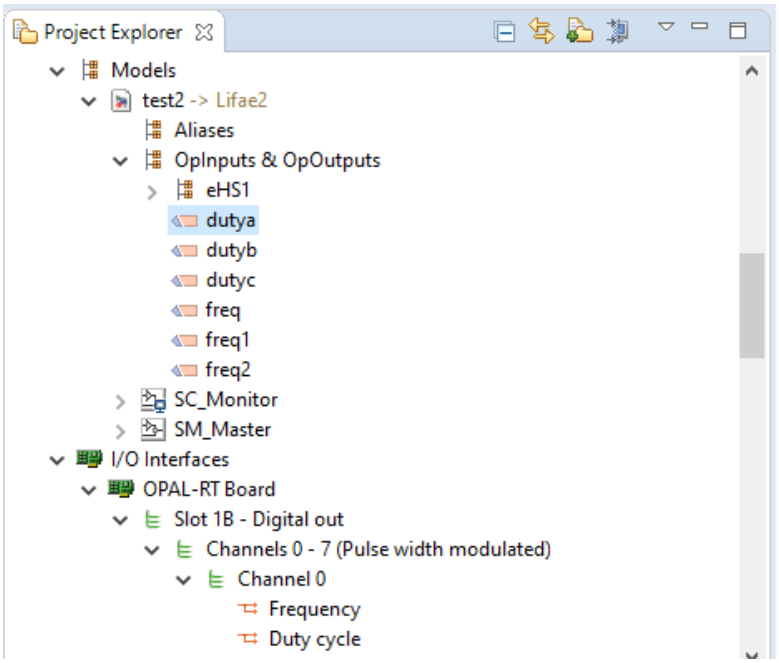



**Figura 42:** Mapeo disparo IGBT mediante Loopback

Una vez son mapeados los parámetros necesarios para realizar las modulaciones y generar los pulsos de disparo, el convertidor de potencia queda listo para ser simulado en tiempo real en la FPGA, realizando de ahí para adelante, los mismos pasos de simulación que se implementan para todos los convertidores en general.

Más adelente en este libro se mostrarán simulaciones realizadas de convertidores de potencia mediante el método Loopback. Allí se muestran los circuitos implementados al detalle, como los resultados obtenidos de simular en tiempo real de esta manera.

# 5. IMPLEMENTACIÓN Y SIMULACIÓN DE CONVERTIDORES DE POTENCIA EN LA CPU DEL OPAL-RT 4510

## 5.1. Rectificador Trifásico Totalmente Controlado y simulación en la CPU del OPAL-RT 4510

El incremento de dispositivos electrónicos y máquinas eléctricas que requieren de una alimentación de corriente continua, ha impulsado el desarrollo de circuitos rectificadores.
El SCR, es un dispositivo semiconductor, biestable y del tipo tiristor, utilizado ampliamente en aplicaciones de electrónica de potencia, y está formado por tres terminales llamados, ánodo, cátodo y compuerta, como lo muestran los SCR's presentes en el circuito rectificador trifásico controlado de la figua 43. La conducción entre el ánodo y cátodo es controlada por la terminal de compuerta, es un elemento unidireccional (esto es que el sentido de la corriente es único), conmutador casi ideal, rectificador y amplificador a la vez.

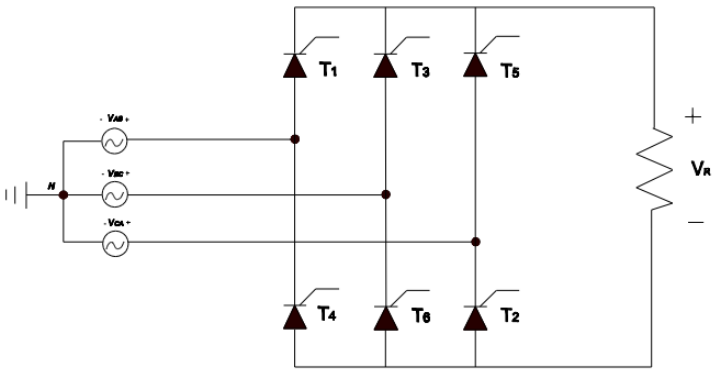



**Figura 43:** Esquema circuital Rectificador Trifásico Totalmente Controlado [13].

Para voltajes de entrada de CA dados, la magnitud del voltaje medio de salida en rectificadores por tiristores, se controla mediante el retraso de los instantes en que se permita que los tiristores empiecen la conducción.

La ley de voltajes de Kirchhoff muestra que solo puede conducir un elemento a la vez en la parte superior del puente. El SCR en estado de conducción será el que se encuentre en polarización directa y tenga el ánodo con el mayor potencial en ese instante.
Para los tiristores de la parte inferior del puente, solo podrá conducir el elemento que tenga su cátodo con el menor potencial en ese instante. Así, en un ciclo de operación del puente se presentan seis rutas diferentes por las que puede fluir la corriente.

Para el control de encendido del tiristor, se lleva a cabo mediante el encendido por compuerta. Se deben de tener en cuenta tres aspectos para diseñar el circuito de control de compuerta, que son los siguientes:

- La señal de compuerta debe retirarse después que haya encendido el tiristor.
- Aunque el tiristor este polarizado en sentido inverso, no debe haber señal de compuerta.

- El ancho del pulso en la compuerta tG puede ser mayor que el tiempo necesario para que la corriente anódica aumente hasta el valor de la corriente de retención.

Un tiristor que está en estado de encendido puede apagarse reduciendo la corriente en sentido directo, hasta un valor inferior al de la corriente de retención IH [13].

## Funcionamiento del rectificador

Los términos utilizados para describir el estado de operación de un SCR son el ángulo de disparo y el ángulo de conducción. El ángulo de conducción es el número de grados de un ciclo de corriente alterna (ac) durante los cuales el SCR esta en conducción. El ángulo de disparo es el número de grados que transcurren antes de que el SCR pase al estado de conducción.
A diferencia de los circuitos rectificadores a base de diodos, para obtener voltajes de salida controlados, se usan tiristores por control de fase en lugar de diodos. El voltaje de salida de los rectificadores de tiristor se varia controlando el ángulo de retardo o de disparo de los tiristores, un tiristor controlado por fase se activa aplicando un pulso corto a su compuerta, y se desactiva por conmutación natural o de línea.

El circuito de la figura 43 muestra un rectificador trifásico controlado con SCR's con una carga resistiva, para comenzar el análisis del rectificador se identifican dos grupos de SCR, los que se encuentran en la parte superior del puente (T1, T3, T5) y los de la parte inferior (T4, T6, T2).
La ley de voltajes de Kirchhoff muestra que solo puede conducir un elemento a la vez en la parte superior del puente. El SCR en estado de conducción será el que se encuentre en polarización directa y tenga el ánodo con el mayor potencial en ese instante.
Para los tiristores de la parte inferior del puente, solo podrá conducir el elemento que tenga su cátodo con el menor potencial en ese instante. Así, en un ciclo de operación del puente se presentan seis rutas diferentes por las que puede fluir la corriente.

La tensión de salida en la carga es una de las tensiones de línea, ya que la tensión de mayor valor determinará los dispositivos que estarán en conducción. En la figura 44 se aprecian las tensiones del generador, y de salida respectivamente [13].

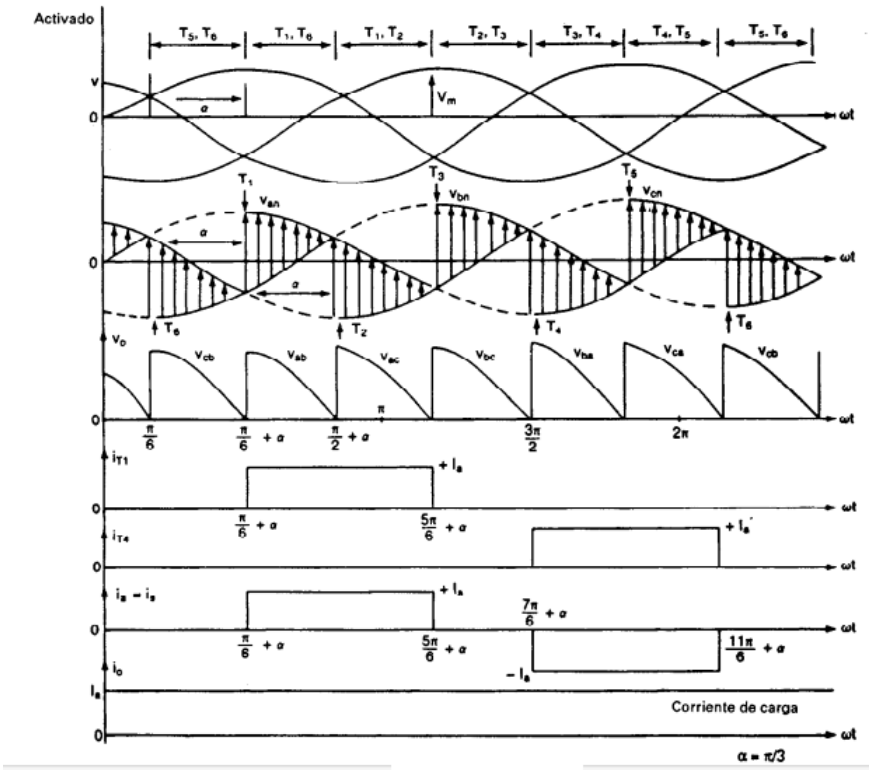



**Figura 44:** Tensiones de generador y salida Rectificador Trifásico Controlado [13].

Los SCR's conducen por pares (6,1), (1,2), (2,3), (3,4), (4,5),(5,6), y se repite el ciclo nuevamente. Por lo que existen seis combinaciones del voltaje entre fases (tres fases combinadas de dos en dos). Si se considera que un periodo del generador son 360°, la transición del voltaje entre fases de mayor valor, que son los puntos de disparo entre los SCR's, deberá producirse cada intervalo de $\pi/3$, de esta forma cada SCR conduce durante 120 grados. A este tipo de circuito se le denomina rectificador de seis pulsos debido a las seis transiciones que se producen en cada periodo de la tensión del generador.

Si los voltajes de línea a neutro se definen como

$$v_{an} = V_m sen\omega t$$

$$v_{bn} = V_m sen(\omega t - \frac{2\pi}{3})$$

$$v_{cn} = V_m sen(\omega t + \frac{2\pi}{3})$$

Los voltajes linea a línea correspondientes son

$$v_{ab} = v_{an} - v_{bn} = \sqrt{3} V_m sen(\omega t + \frac{\pi}{6})$$

$$v_{bc} = v_{bn} - v_{cn} = \sqrt{3} V_m sen(\omega t - \frac{\pi}{2})$$

$$v_{ca} = v_{cn} - v_{an} = \sqrt{3} V_m sen(\omega t + \frac{\pi}{2})$$

El voltaje promedio de salida se determina a partir de

$$v_{cd} = \frac{3}{\pi}\int_{\frac{\pi}{6}+\alpha}^{\frac{\pi}{2}+\alpha} v_{ab}d(\omega t) = \frac{3}{\pi}\int_{\frac{\pi}{6}+\alpha}^{\frac{\pi}{2}+\alpha} \sqrt{3}V_m sen(\omega t + \frac{\pi}{6})d(\omega t)$$

$$= \frac{3\sqrt{3}V_m}{\pi}cos\alpha \tag{1}$$

El máximo voltaje promedio de salida, para un ángulo de retraso $\alpha$=0 es

$$= \frac{3\sqrt{3}V_m}{\pi}$$

y el voltaje promedio de salida normalizado es

$$V_n = \frac{V_{cd}}{V_{dm}} = cos\alpha \tag{2}$$

El valor rms del voltaje de salida se determina a partir de

$$V_{rms} = \left[\frac{3}{\pi}\int_{\frac{\pi}{6}+\alpha}^{\frac{\pi}{2}+\alpha} 3V_m^2 sen^2(\omega t + \frac{\pi}{6})d(\omega t)\right]^{1/2}$$

$$= \sqrt{3}V_m(\frac{1}{2} + \frac{3\sqrt{3}}{4\pi}cos2\alpha)^{1/2} \tag{3}$$

Un puente trifásico origina un voltaje de salida de seis pulsos. Para aplicaciones de alta potencia, como la transmisión de cd de alto voltaje y la propulsión de motores de cd Para poder disparar de manera correcta los SCR's del rectificador trifásico totalmente controlado, la etapa de control debe estar coordinada con los voltajes de línea. Estas etapas del circuito rectificador trifásico, están dadas de la siguiente manera

1. Detector de cruce por cero.
2. Generador de Rampa.
3. Generador de pulsos.
4. Circuito de disparo.

El circuito de disparo o excitación de compuerta de los tiristores, es una parte integral del rectificador trifásico controlado. La salida de un convertidor, que depende de la forma en que el circuito de disparo excita a los dispositivos de conmutación (tiristores), es una función directa del proceso de cómo se desarrolla la conmutación. Podemos decir entonces que los circuitos de disparo, son elementos claves para obtener la salida deseada y cumplir con los objetivos del "sistema de control", de cualquier convertidor de energía eléctrica. El diseño de un circuito excitador, requiere el conocimiento de las características eléctricas de compuerta del tiristor específico, que se va a utilizar en el circuito principal de conmutación. Para convertidores, donde los requisitos del control no son exigentes, puede resultar conveniente diseñarlo con circuitos discretos. En aquellos convertidores donde se necesita la activación de compuerta con control de avance, alta velocidad, alta eficiencia y que además sean compactos, los circuitos integrados para activación de compuerta que se disponen comercialmente, son más conveniente.

Las partes componentes de un circuito de disparo para tiristores usados en los rectificadores controlados por fase, a frecuencia industrial, son los siguientes: El circuito sincronizador, el circuito base de tiempo para retrasar el disparo, el circuito conformador del pulso, el circuito amplificador del pulso (opcional), el circuito aislador y finalmente el circuito de protección de la compuerta del tiristor. El diagrama de la figura 45, da una idea integral, de la Inter relación de estos componentes para este se tiene subrayadas las partes correspondientes al circuito de pulsos [14].

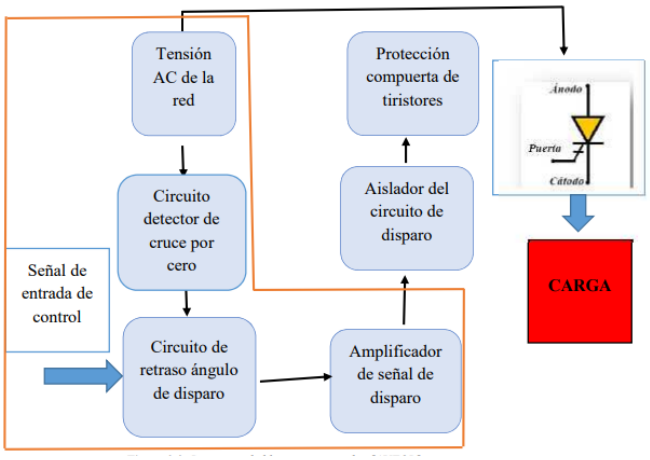



**Figura 45:** Diagrama de bloques circuitos para el disparo de SCR's [14].

El circuito sincronizador se encarga de iniciar la base de tiempo en sincronismo con la frecuencia de la red, de manera tal de retrasar el mismo ángulo (respecto al cruce por cero de la tensión de red), el pulso de disparo, en todos los semiciclo.
La señal de control es la que determina el retraso del ángulo de disparo, señal generada en forma manual o a través de un sistema realimentado. Para este último caso, la señal se genera por la interacción de la señal de referencia, la señal realimentada y el algoritmo de control (proporcional, proporcional + integrador, etc.).
En el circuito de base tiempo, la base de tiempo se genera promedio de un circuito tipo RC, o sea a través de la carga de un condensador, con una constante de tiempo =CR., hasta una tensión que genera un pulso de disparo. En los sistemas programables, la base de tiempo se genera por programación o por medio de un temporizador interno que se carga también por programación [14].

## SIMULACIÓN DEL RECTIFICADOR TRIFÁSICO TOTALMENTE CONTROLADO CON SCR's EN LA CPU DEL OPAL-RT 4510

Cuando se realiza la implementación y simulación del modelo contruido en Simulink, de un rectificador trifásico totalmente controlado sin hacer uso del EHS Solver, lo que quiere decir es que la simulación de dicho rectificador trifásico se ejecutará en la CPU o Procesador del OPAL-RT 4510, lo cual implica que no se usa el bloque EHS de Simulink.
Al no realizar la simulación del rectificador en la FPGA del OPAL-RT 4510, no se aprovechan de las ventajas de simular en ésta, como lo es un tiempo de muestreo muy bajo, menor a $1\mu$ s, y mayor precisión al momento de por ejemplo generar señales de disparo de los SCR's, lo cual influye radicalmente en los resultados que se obtienen del circuito.

Al realizar la simulación del rectificador trifásico en la CPU o procesador del OPAL-RT, el tiempo de muestreo utilizado por la herramienta para procesar datos es mayor, comparado al caso de simular en la FPGA, donde los tiempos de muestreo son muy pequeños, y es ahí donde, como parte de los objetivos del trabajo de grado, se realizaron las comparaciones entre las respuestas obtenidas de simular el rectificador en la CPU del OPAL frente a las respuestas obtenidas de simular el mismo rectificador pero ahora en la FPGA del OPAL.

Se realizó la construcción en Simulink, de un rectificador trifásico totalmente controlado con SCR's, el cual posteriormente se simuló en la CPU del OPAL-RT 4510, con el objetivo de realizar mediciones de tensión e intensidad en componentes de interés del circuito, y poder realizar comparaciones posteriores entre las respuestas obtenidas de simular en la CPU y las respuestas obtenidas de simular en la FPGA del OPAL-RT.

Los valores de los componentes con los cuales fueron realizadas las simulaciones para el rectificador trifásico totalmente controlado fueron los siguientes:

- Voltaje de Entrada trifásica V=45Sen($2\pi$*60+$\Phi$) V
- Resistencia de carga: RL=30 $\Omega$
- Resistencia en serie fuente AC: Rs=0.001 $\Omega$

Para la construcción del modelo del rectificador trifásico en Simulink, se dividió el modelo en dos subsistemas, donde uno de ellos es el subsistema consola o GUI, que es donde se encuentra ubicada la parte de visualización de señales de interés a medir dentro del circuito, además de las constantes relacionadas a las entradas al sistema, que para este caso es el valor del ángulo de disparo de los SCR's.
El otro subsistema construido es el subsistema maestro o de computación, que es el subsistema donde va embebido el circuito del rectificador trifásico a simular, es decir, donde se realizan operaciones, cálculos, y todo lo relacionado al comportamiento físico del sistema. En las figuras 46,47, y 48, se muestran los subsistemas construidos para realizar la simulación del rectificador trifásico totalmente controlado en la CPU del OPAL-RT 4510.

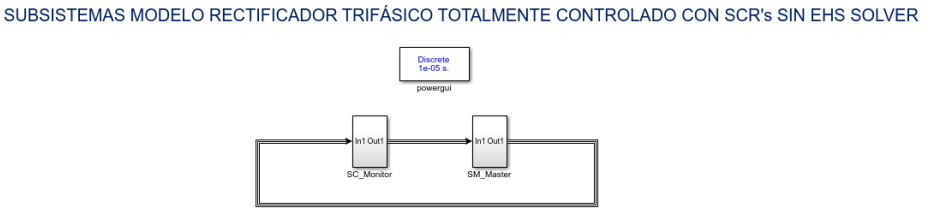



**Figura 46:** Subsistemas Modelo Rectificador Trifásico Controlado simulación CPU OPAL-RT 4510.

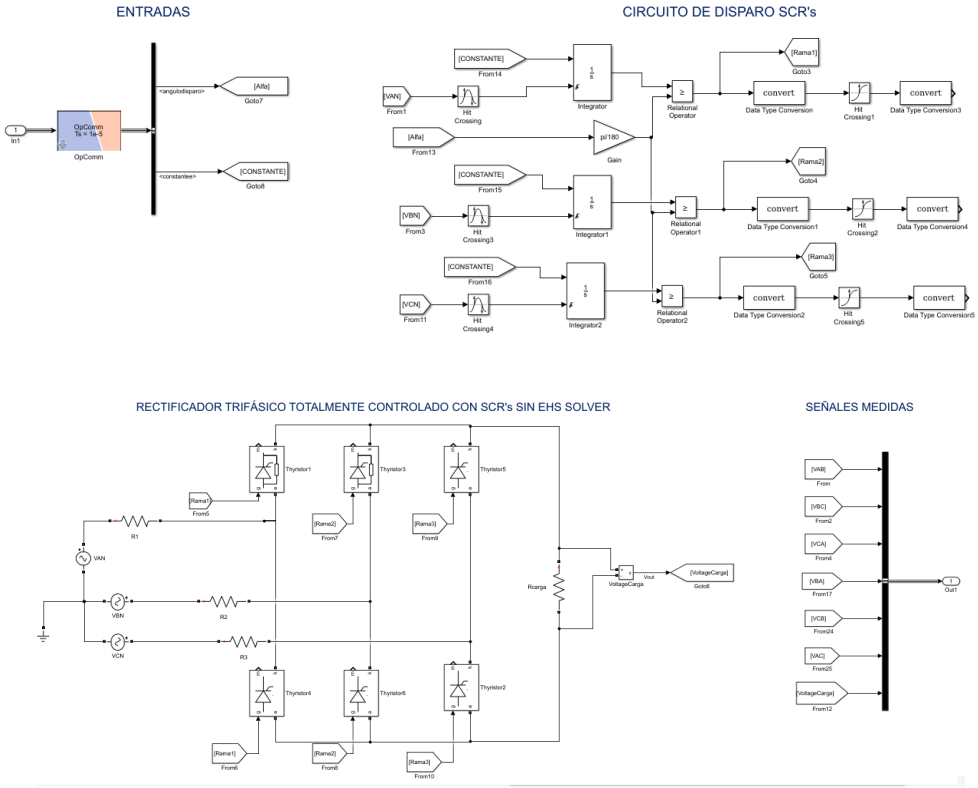



**Figura 47:** Subsistema Maestro Modelo Rectificador Trifásico Controlado simulación CPU OPAL-RT 4510.

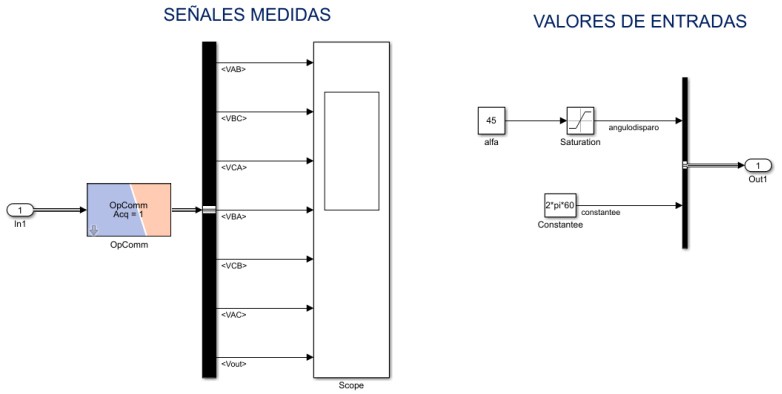



**Figura 48:** Subsistema Consola Modelo Rectificador Trifásico simulación CPU OPAL-RT 4510.

## RESULTADOS DE SIMULAR EL RECTIFICADOR TRIFÁSICO TOTALMENTE CONTROLADO EN LA CPU OPAL-RT

Se hicieron diferentes pruebas al modelo del rectificador trifásico totalmente controlado simulado en la CPU del OPAL-RT 4510, para diferentes valores de ángulo de disparo. Para estas pruebas de simulación realizadas al rectificador trifásico en la CPU del OPAL se generaron resultados, los cuales posteriormente se comparan con los resultados de simular el mismo rectificador en la FPGA del OPAL.

En la figura 49 se presentan los resultados obtenidos de simular el modelo del rectificador trifásico totalmente controlado en la CPU del OPAL-RT 4510 para diferentes ángulos de disparo.

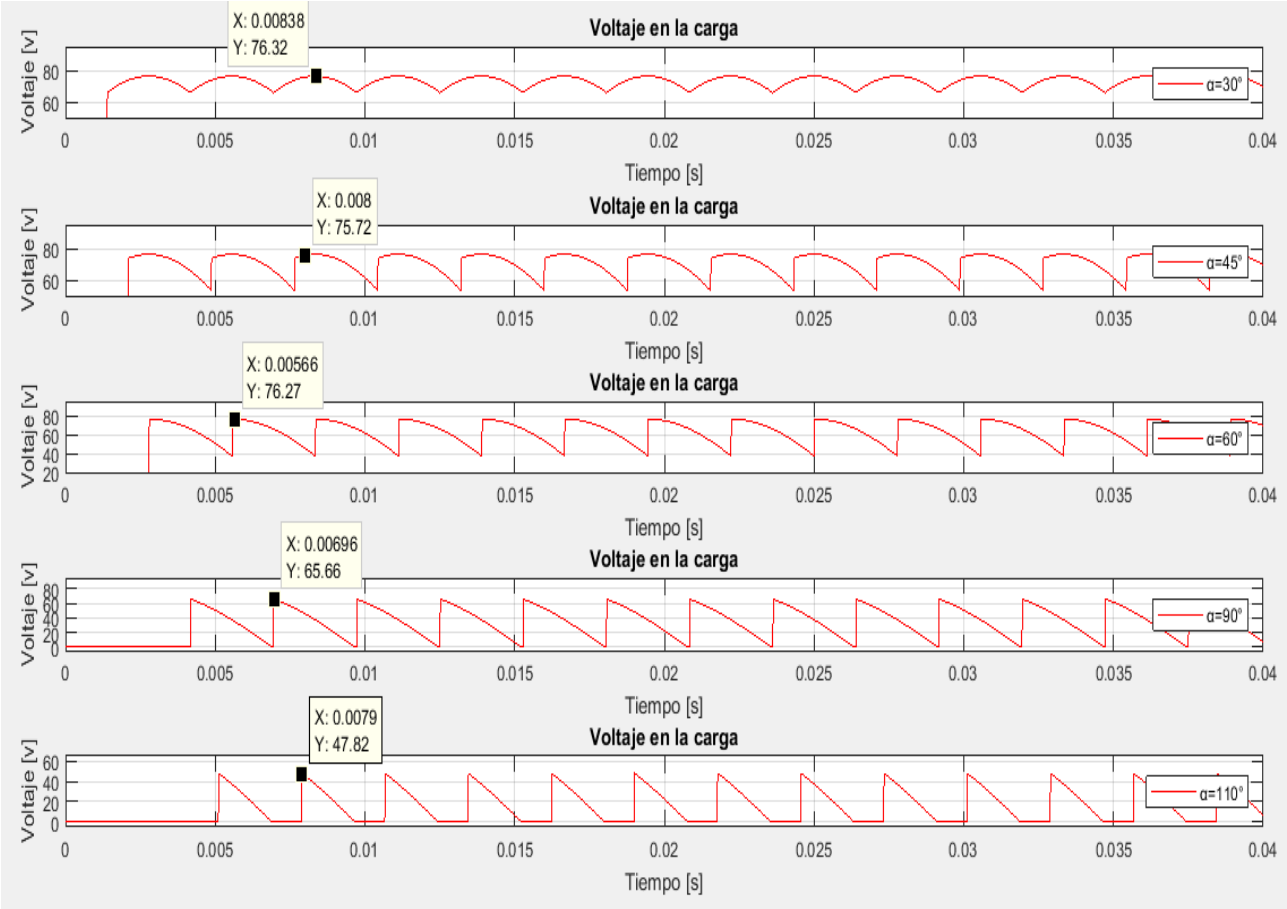



**Figura 49:** Resultados Simulación rectificador trifásico totalmente controlado en CPU del OPAL-RT 4510.

## 5.2. Convertidor DC-DC Elevador (Boost) y simulación en la CPU del OPAL-RT 4510

Pocas son las veces que un elemento que genere tensiones continuas, como bien pueden ser una batería o un panel solar, puede conectarse directamente a los dispositivos que utilicen dicha energía. Incluso cuando las cargas son de tipo DC, suele ser necesario adaptar la tensión en el bus de continua del generador para cumplir con las especificaciones de la carga.
Los convertidores DC-DC se encargan de esta labor. El convertidor Boost o también conocido como convertidor elevador, es muy utilizado en instalaciones de generación fotovoltaica, debido a la variabilidad que presenta este tipo de energía [10].

### ESQUEMA CIRCUITAL DEL CONVERTIDOR BOOST

El esquema circuital del convertidor DC-DC elevador o Boost, es el mostrado en la figura 50. En las simulaciones realizadas en el desarrollo del presente trabajo de grado, se utilizó un mosfet como dispositivo a trabajar como interruptor dentro del circuito del convertidor Boost.

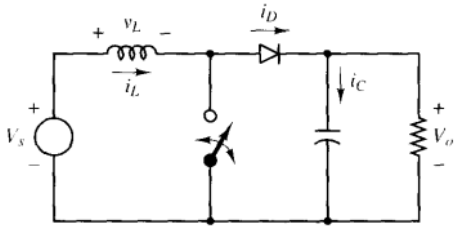



**Figura 50:** Esquema Circuital Convertidor Boost [11].

### ANÁLISIS FUNCIONAMIENTO CONVERTIDOR BOOST

El convertidor Boost tiene dos modos de funcionamiento diferenciados, conducción continua y conducción descontinua, en función de cómo se comporte la corriente que atraviesa a la bobina en cada ciclo de funcionamiento. El análisis presentado se hace considerando dos momentos en el circuito, uno de ellos es cuando el interruptor o mosfet actúa como un corto circuito, y el otro momento cuando el mosfet actúa como un circuito abierto.

Para comenzar el análisis del circuito examinaremos la tensión y la corriente en la bobina con el interruptor cerrado, y con el interruptor abierto. En la figura 51 se muestran las formas de onda para el voltaje y la corriente en la bobina.

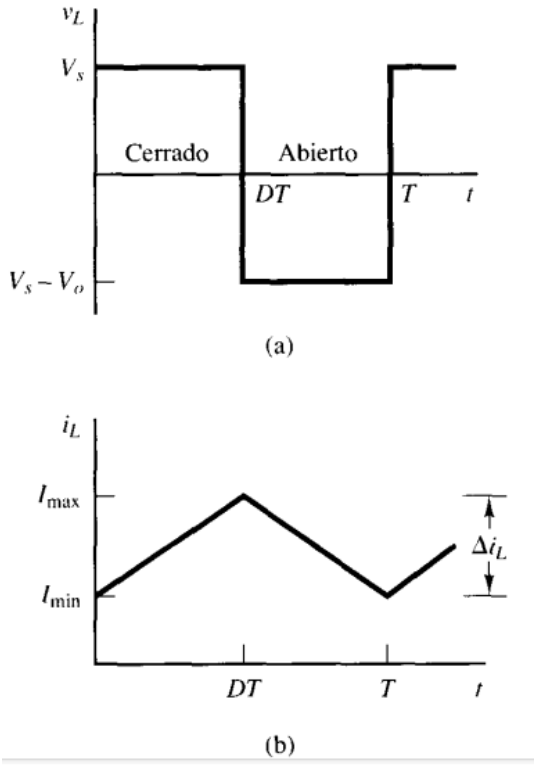



**Figura 51:** a)Voltaje en la bobina, b)Corriente en la bobina [11].

En el análisis del convertidor se tiene en cuenta una variable muy importante que es el ciclo de trabajo, el cual en el análisis matemático, se denota con la letra D. Este ciclo de trabajo, o ciclo útil, está asociado al ciclo útil de la señal PWM que dispara el mosfet. En la figura 52 se muestra la señal PWM que dispara el mosfet

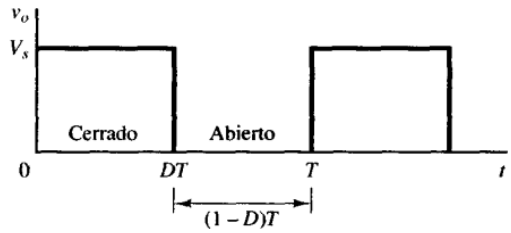



**Figura 52:** Señal de disparo PWM para Mosfet [11.]

El ciclo útil (D), de la señal PWM, está asociado al tiempo en el que la señal de disparo PWM, la cual es una señal cuadrada, está en un nivel ALTO, comparado a todo el periodo de dicha señal cuadrada. El tiempo que la señal PWM está en un nivel ALTO sumado con el tiempo en el que la señal PWM está en en un nivel BAJO corresponde al periodo completo de conmutación de la señal PWM, denotado con la letra T. El inverso de este valor del periodo T, corresponde a la frecuencia de conmutación del mosfet, valor que influye al momento de diseñar los componenetes del circuito del Boost, como se mostrará más adelante en las ecuaciones de diseño del Boost. El tiempo en el cual la señal PWM está en un nivel bajo, se denota matemáticamente como (1-D) o también como D'.

El análisis matemático mostrado del convertidor se realizó para modo de conducción continua, considerando que en la mayoría de los casos se diseña para que el convertidor trabaje en modo de conducción continua, es decir que en la bobina siempre haya corriente mayor a cero.

## Análisis interruptor cerrado

Cuando el interruptor está cerrado, se presenta el circuito que se muestra en la figura 53.

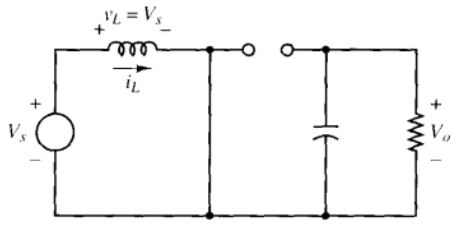



**Figura 53:** Circuito equivalente cuando el interruptor está cerrado [11].

Para este caso el diodo se polariza en inversa, y se tienen las siguientes ecuaciones:

$$V_L = V_s \tag{4}$$

$$\frac{di_L(t)}{d(t)} = \frac{V_s}{L} \tag{5}$$

$$i_c = -\frac{Vo}{R} \tag{6}$$

$$\frac{dV_o(t)}{d(t)} = -\frac{V_o}{RC} \tag{7}$$

## Análisis interruptor abierto

Cuando el interruptor está abierto, se presenta el circuito que se muestra en la figura 54.

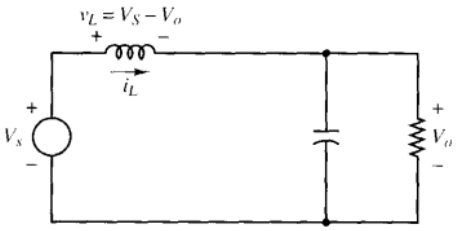



**Figura 54:** Circuito equivalente cuando el interruptor está abierto [11].

Para este caso el diodo se polariza en directo, y se tienen las siguientes ecuaciones:

$$V_L = V_s - V_o \tag{8}$$

$$\frac{di_L(t)}{d(t)} = -\frac{V_s - V_o}{L}$$

$$I_C = I_L - \frac{V_o}{R} \tag{9}$$

$$\frac{V_o(t)}{d(t)} = \frac{I_L - \frac{V_o}{R}}{C}$$

Para encontrar la función de transferencia de voltaje del convertidor Boost, la cual relaciona el voltaje de salida con el voltaje de entrada, se hace mediante el balence voltio-segundo, el cual establece que el voltaje promedio en la bobina para todo un ciclo de operación es igual a cero.
Teniendo en cuenta la gráfica de la tensión en la bobina de la figura 51a), y las ecuaciones (4) y (6), para hallar el voltaje promedio en la bobina durante un periodo de conmutación, se halla el valor del área de dicha gráfica para un periodo de conmutación, lo cual corresponde al valor promedio del voltaje, el cual se iguala a cero, como se muestra a continuación

$$\widehat{V_L} = 0 = V_s D + V_s D' - V_o D'$$

$$0 = \frac{V_s DT + (V_s - V_o)D'T}{T}$$

$$0 = V_s D + V_s D' - V_o D'$$

$$V_o D' = V_s (D + D')$$

Recordemos que:

$$D + D' = 1$$

Lo que conlleva a que la función de transferencia de voltaje del convertidor elevador sea el mostrado en la ecuación 10.

$$V_o = \frac{V_s}{1 - D} \tag{10}$$

En la ecuación (10) se puede ver que el voltaje de salida del convertidor Boost depende del valor del ciclo útil D, de la señal PWM del mosfet.
Para encontrar la función de transferencia de corriente, se hace el balance carga-condensador, el cual dice que la corriente promedio en el condensador durante un periodo de conmutación es igual a cero, con lo que se tiene lo siguiente:

$$\widehat{I_C} = 0 = -\frac{V_o}{R} D + I_L D' - \frac{V_o}{R} D'$$

$$0 = -\frac{V_o}{R}(D + D') + I_L D'$$

Lo que conlleva a que la corriente promedio en la bobina, denotada como $\widehat{I_L}$, y que para este convertidor resulta ser la misma corriente promedio de entrada $\widehat{I_s}$, dependa del valor del ciclo útil D, como se muestra en la ecuación (11).

$$\widehat{I_L} = \widehat{I_s} = \frac{V_o}{RD'} \tag{11}$$

**Ecuaciones de diseño Convertidor Boost**

La ecuaciones de diseño mostradas a continuación, corresponden a las ecuaciones de diseño del convertidor Boost para que opere en modo de conducción continua, que es el modo de operación en el cual se operó para realizar las simulaciones en el desarrollo del presente trabajo de grado.
De acuerdo a la ecuación (5), se tiene lo siguiente:

$$2\Delta I_L = \frac{V_s}{L}DT$$

$$L = \frac{V_s}{2\Delta I_L}DT$$

Para obtener la expresión de diseño de la bobina, se considera un caso crítico, en el cual se hace la consideración de que la corriente en la bobina en ciertos momentos de tiempo tiene valores muy pequeños o cero, lo cual lleva a hacer la consideración de que $\Delta I_L$=$I_L$, teniendo lo siguiente:

$$2\Delta I_L = \frac{V_s}{L}DT$$

$$2I_L = \frac{V_s}{L}DT$$

$$\frac{2L}{RT} = \frac{V_s DD'}{V_o}$$

$$K_{crit}(D) = \frac{2L}{RT} = DD'^2$$

Lo que finalmente lleva a la ecuación de diseño de la bobina, mostrada en la ecuación (12), con la cual, para operar en modo de conducción continua, deberá cumplirse dicha condición allí expresada, o de lo contrario el circuito operará en modo discontinuo.

$$L \geq \frac{RTDD'^2}{2} \tag{12}$$

Para la ecuación de diseño del capacitor del circuito, se realiza teniendo en cuenta el rizado que se presenta en la tensión de salida. Considerando a $2\Delta V_o$ como la variación pico a pico del voltaje de salida, y de acuerdo a la ecuación (7), se tuvo lo siguiente:

$$-2\Delta V_o = -\frac{V_o}{RC}DT$$

Siendo finalmente la ecuación de diseño para el capacitor la mostrada en la ecuación 13.

$$C = \frac{V_o DT}{(2\Delta V_o)R} \tag{13}$$

## Modo de conducción discontinuo

Este modo de conducción ocurre cuando la potencia a la salida disminuye, lo que implica que la corriente en la bobina también disminuye, ya que la potencia a la entrada y a la salida es igual y la tensión de entrada se mantiene constante.
Aparece un nuevo periodo de tiempo en consideración, que corresponde al periodo de tiempo en el cual la corriente en la bobina es igual a cero, como se muestra en la figura 55.

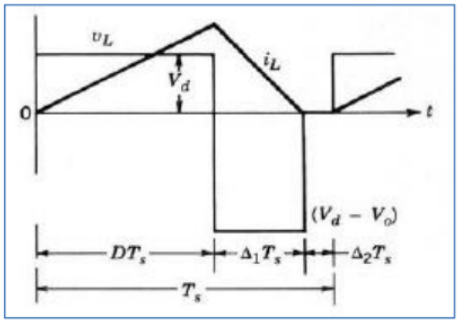



**Figura 55:** Convertidor Boost en modo de conducción discontinuo.

Para este caso de conducción discontinua, el análisis matemático lleva a que la función de transferencia de voltaje para este caso, es la expresión que se presenta en la ecuación (14).

$$V_o = V_s\left(\frac{1 + \sqrt{1 + \frac{4D^2}{k}}}{2}\right) \tag{14}$$

Donde

$$k = \frac{2L}{RT}$$

**SIMULACIÓN CONVERTIDOR BOOST EN LA CPU DEL OPAL-RT 4510**

Cuando se realiza la simulación en tiempo real de un convertidor de potencia en la CPU del OPAL-RT 4510, lo que quiere decir es que la simulación de dicho convertidor se realizará en la CPU o Procesador del OPAL-RT, lo cual implica que no se hace uso del EHS Solver para la construcción del circuito a simular, es decir, no se hace uso de la FPGA del OPAL.
Al no realizar la simulación del convertidor en la FPGA del OPAL-RT, no se están aprovechando de las ventajas de simular en ésta, como lo es un tiempo de muestreo muy bajo, menor a $1\mu$ s, y mayor precisión al momento de por ejemplo generar señales de disparo de semiconductores, lo cual influye radicalmente en los resultados que se obtienen del circuito, como se verá más adelante en este documento.

Al realizar la simulación del convertidor en la CPU o procesador del OPAL-RT, el tiempo de muestreo de las señales es mayor, comparado al caso de simular en la FPGA donde los tiempos de muestreo son mucho menores, y es ahí donde, como parte de los objetivos del presente trabajo de grado, se realizan las comparaciones entre las respuestas obtenidas de simular en la CPU del OPAL y las respuestas obtenidas de simular en la FPGA del OPAL.

Para el caso del presente trabajo de grado, las simulaciones que se realizaron en la CPU del OPAL-RT, fueron implementadas fijando un tiempo de muestreo para el procesador de $10\mu$ s que es lo mismo que una frecuencia de muestreo de 100 KHz. En figura 56 se presenta la parte de configuración del tiempo de muestreo establecido en Simulink para las simulaciones realizadas en la CPU del OPAL.

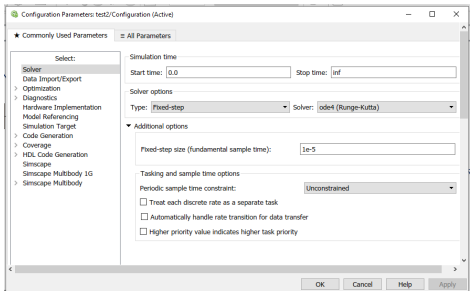



**Figura 56:** Tiempo de muestreo simulaciones en la CPU del OPAL-RT.

Como parte de los objetivos del presente trabajo de grado, se realizó la construcción en Simulink de un convertidor DC-DC Elevador (Boost), el cual posteriormente se simuló en tiempo real en la CPU del OPAL-RT 4510. A dicho modelo del convertidor Boost implementado, se le realizaron mediciones de tensión e intensidad en componentes de interés del mismo, como la bobina y la carga, para de allí sacar resultados que posteriormente se compararan con los resultados de hacer las mismas mediciones del convertidor en la FPGA del OPAL-RT 4510.

Para las simulaciones realizas en la CPU del OPAL-RT, se hizo la implementación de un convertidor elevador (Boost), el cual fue diseñado e implementado en semestres anteriores en la asignatura de Electrónica de Potencia en la Universidad Distrital Francisco José de Caldas. Los datos de entrada del convertidor Boost simulado son los siguientes:

- Voltaje de Entrada Vs=28.15 V

- Ciclo de trabajo D=0.50
- Voltaje de salida Vs=56.3v
- Rizado en la tensión de salida máximo $\Delta$V=250mV
- Potencia de salida en la carga P=155W
- Frecuencia de conmutación f=10KHz

Con estos datos de entrada del convertidor, se hicieron los cálculos para encontrar los valores de la resistencia, la inductancia, y el capacitor del circuito, para operar en modo de conducción continua, como se muestra a continuacón:

$$P = \frac{V_o^2}{R} \Rightarrow R = \frac{V_o^2}{P} = \frac{(56.3)^2}{155} = 20.44\Omega$$

$$L \geq \frac{RTDD'^2}{2} \Rightarrow L \geq \frac{(20.44)(1 * 10^{-4})(0.5)(0.5)^2}{2}$$

$$L \geq 127.75\mu H$$

$$C = \frac{V_o DT}{2\Delta V_o R} \Rightarrow C = \frac{(56.3)(0.5)(1 * 10^{-4})}{(2)(0.250)(20.44)}$$

$$C = 275.319\mu F$$

Una vez establecidos los valores de todos los componentes del convertidor Boost, se procedió a realizar la construcción del modelo en Simulink. El cual una vez construido el modelo, se simuló en la CPU del OPAL-RT 4510, esto en el software de RT-LAB.

Para la construcción del modelo del convertidor Boost en Simulink, se debe dividir el modelo en dos subsistemas, donde uno de ellos es el subsistema consola o GUI, que es donde se encuentra ubicada la parte de visualización de señales de interés a medir dentro del circuito, además de las constantes de entrada al subsitema maestro, ya sea la fuente de tensión de entrada, o el ciclo de trabajo del componente utilizado como switch.
El otro subsistema construido en el modelo, es el subsistema maestro o de computación, que es el subsistema donde va embebido el circuito del convertidor Boost a simular, es decir, donde se realizan operaciones, cálculos, y todo lo relacionado al comportamiento físico del sistema. En las figuras 57, 58, y 59, se presentan los subsistemas construidos para realizar la simulación del convertidor elevador Boost en la CPU del OPAL-RT 4510.

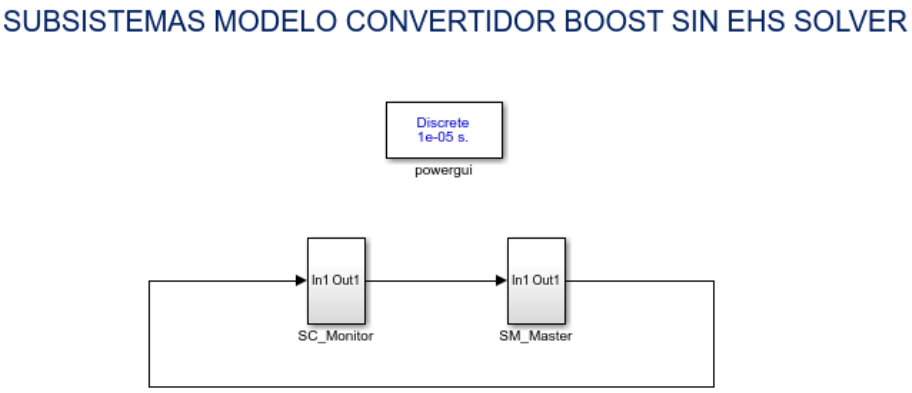



**Figura 57:** Subsistemas Modelo Convertidor Boost simulación CPU OPAL-RT 4510.

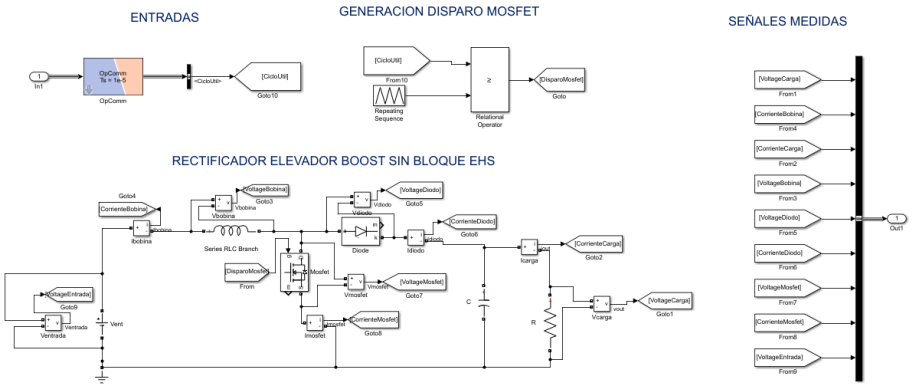



**Figura 58:** Subsistema Maestro Modelo Convertidor Boost simulación CPU OPAL-RT 4510.

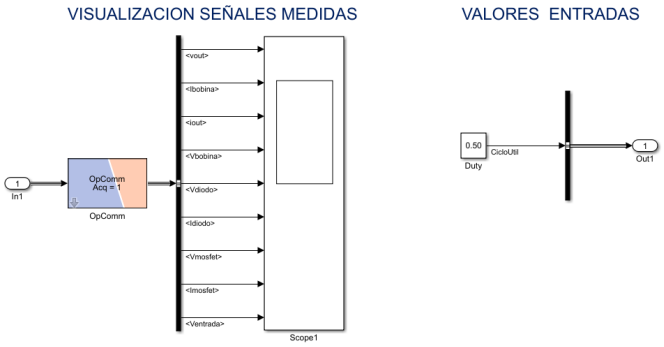



**Figura 59:** Subsistema Consola Modelo Convertidor Boost simulación CPU OPAL-RT 4510.

Como se muestra en la figura 58, la señal PWM que dispara el mosfet, fue generada mediante la comparación del valor del ciclo útil D, y una señal triangular normalizada entre 0 y 1, a una frecuencia equivalente a la frecuencia de conmutación del switch, que para el diseño implementado fue de 10 KHz. El valor del ciclo útil es una constante que se coloca en el subsistema consola, y actúa como entrada al subsistema maestro.

Una vez construido en Simulink el modelo del convertidor a simular, este se carga en el software de RT-LAB para allí ejecutar la simulación en tiempo real. Una vez en el entorno de RT-LAB, se llevan a cabo los pasos de simulación mencionados en el flujo de trabajo para realizar las simulaciones en el OPAL.

## RESULTADOS DE SIMULAR EL CONVERTIDOR BOOST EN LA CPU DEL OPAL-RT 4510

Se hicieron diferentes pruebas al modelo del convertidor Boost simulado en la CPU del OPAL-RT. Se simuló el convertidor para los valores de diseño iniciales, es decir para un ciclo de trabajo de 0.5 (D=0.5), y para una frecuencia de conmutación del mosfet de 10KHz (f=10KHz).
Posterior a las pruebas iniciales, se simuló el convertidor para distintos valores de ciclo útil D, para evidenciar el comportamiento del convertidor a variaciones de este parámetro. Además, se realizaron pruebas de simulación para el mismo convertidor, pero ahora modificando el valor de la frecuencia de conmutación del interruptor a 5 KHz y 20 KHz.
El cambio del valor de la frecuencia de conmutación dentro de la simulación, se hace en el bloque de Simulink llamado Repeating Sequence, que corresponde a la frecuencia de la señal triangular portadora.

Para todas las simulaciones realizadas en el OPAL-RT 4510, ya sea en la CPU o en la FPGA del OPAL, los resultados de las simulaciones se generaron en archivos con extensión .mat, los cuales fueron tratados en el software de Matlab, y mediante un archivo Script(con extensión .m), se implementó el código que permitiera graficar los resultados de las mediciones hechas a los componentes del circuito.

En la figura 60 se presentan los resultados obtenidos de simular en tiempo real el convertidor elevador Boost en la CPU del OPAL-RT 4510 para un valor de ciclo útil D=0.50, y una frecuencia de conmutación f=10KHz.

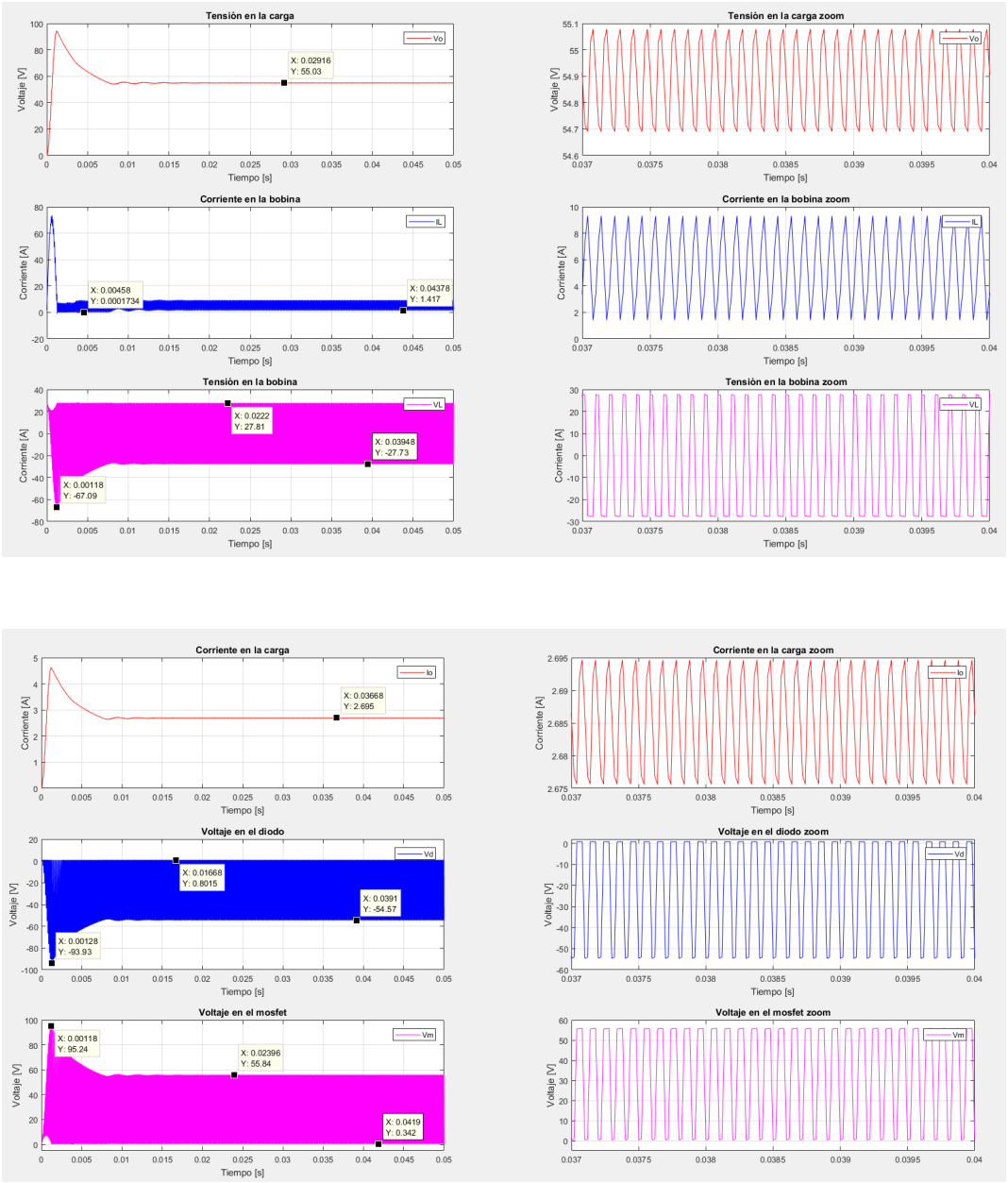



**Figura 60:** Resultados de simular el Convertidor Boost en la CPU del OPAL para un D=0.50 y f=10KHz.

Las pruebas realizadas para distintos valores de ciclo útil, y frecuencia de conmutación, son realizadas tanto para el convertidor Boost simulado en la CPU del OPAL-RT, como para el convertidor Boost simulado en la FPGA del OPAL-RT. El objetivo de realizar las mismas pruebas para ambos modelos construidos, es poder realizar las comparaciones entre los resultados que se obtienen de simular en la CPU frente a los resultados que se obtienen de simular en la FPGA.

En las figuras 61 y 62 se presentan los resultados que fueron obtenidos al simular el convertidor Boost para diferentes valores de ciclo útil D y a una frecuencia de conmutación de 10 KHz.

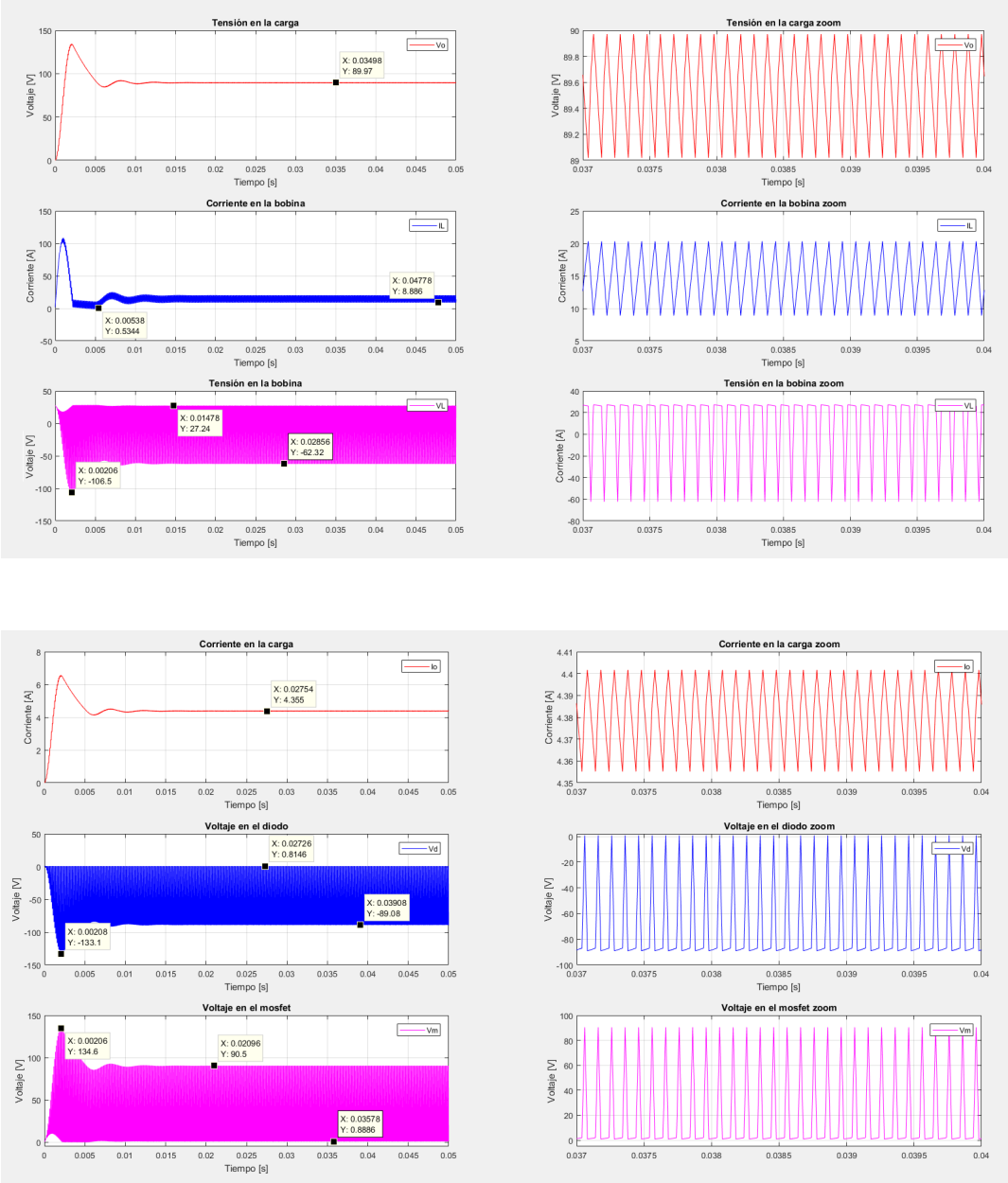



**Figura 61:** Resultados de simular el Convertidor Boost en la CPU del OPAL para un D=0.70 y f=10KHz.

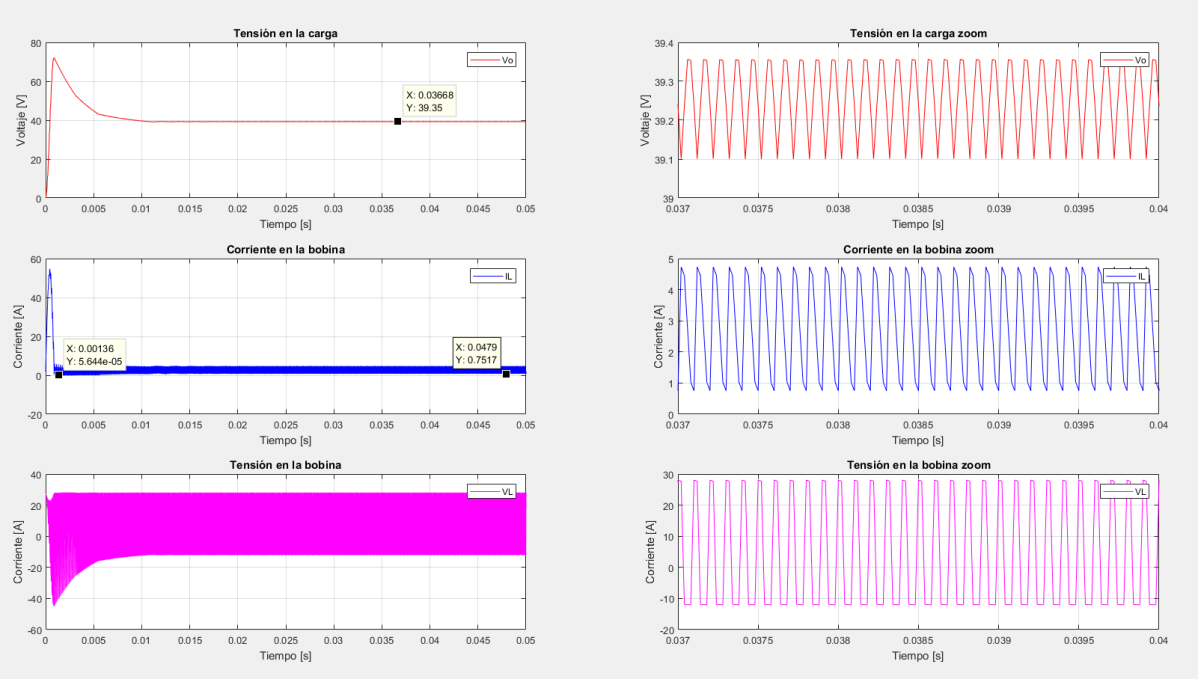



**Figura 62:** Resultados de simular el Convertidor Boost en la CPU del OPAL para un D=0.35 y f=10KHz.

En las figuras 63 y 64, se presentan los resultados obtenidos de simular el convertidor Boost para un ciclo útil de 0.50 y valores de frecuencia de conmutación de 20KHz y 5KHz respectivamente.

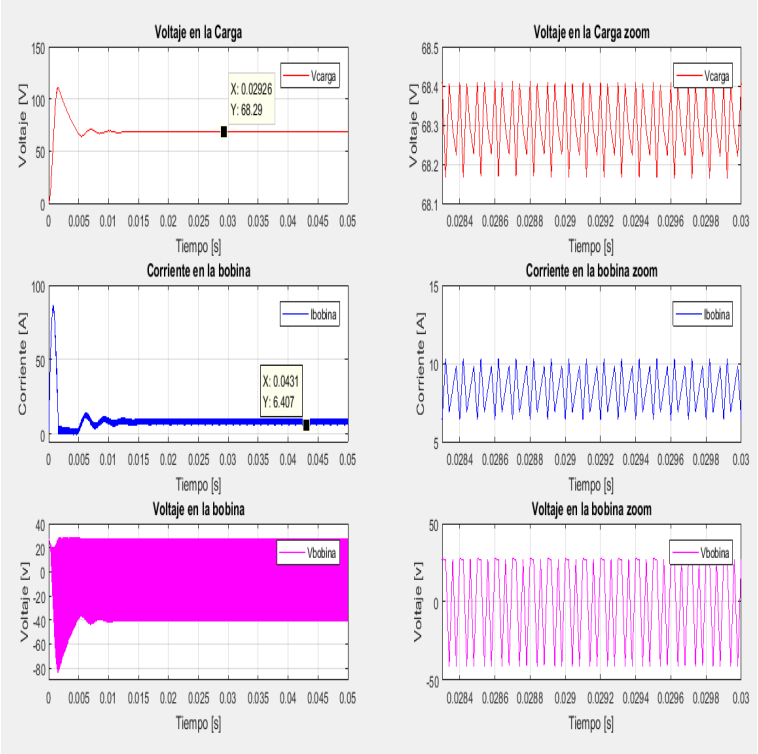



**Figura 63:** Resultados de simular el Convertidor Boost en la CPU del OPAL para un D=0.50 y f=20KHz.

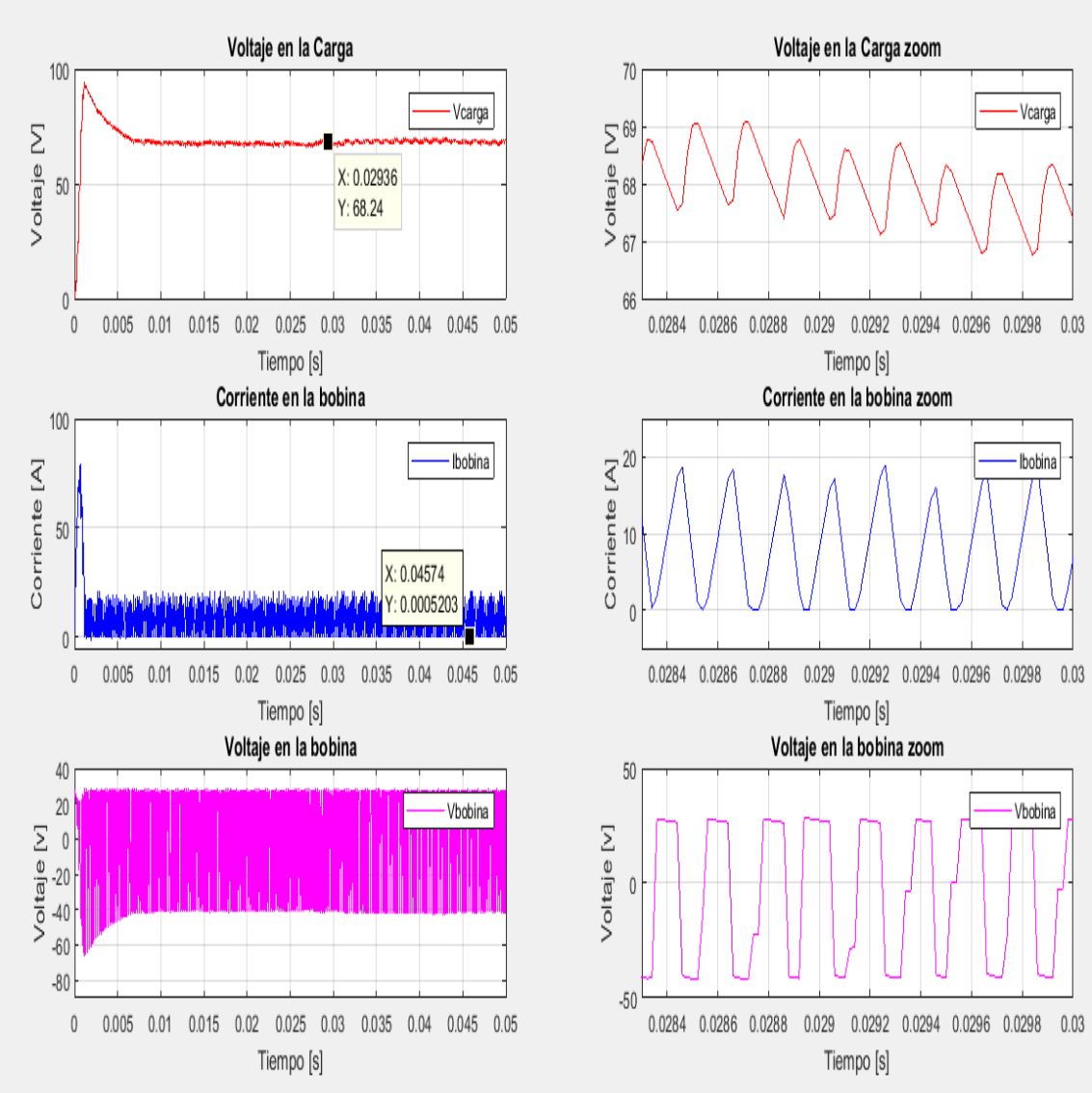



**Figura 64:** Resultados de simular el Convertidor Boost en la CPU del OPAL para un D=0.50 y f=5KHz.

## 5.3. Inversor Trifásico con IGBT's y Simulación en la CPU del OPAL-RT 4510

Los inversores son circuitos que convierten la corriente continua en corriente alterna. Más exactamente, los inversores transfieren potencia desde una fuente de continua a una carga de alterna. Estos circuitos se utilizan en aplicaciones tales como mototres de alterna de velocidad ajustable, sistemas de alimentación ininterrumpida, y dispositivos de corriente alterna que funcionen a partir de una batería de automóvil [11].

### Inversor Trifásico de seis pasos

El circuito que se presenta en la figura 65, corresponde a un inversor trifásico, el cual genera una salida de alterna trifásica a partir de una entrada de continua. La principal aplicación de los inversores trifásicos es el control de la velocidad de los motores de inducción, donde se varía la frecuencia de salida. Este circuito permite convertir de voltaje continuo a alterno al conmutar adecuadamente los interruptores, condicionando a que bajo ninguna circunstancia se cierren a la vez dos interruptores de un mismo ramal.

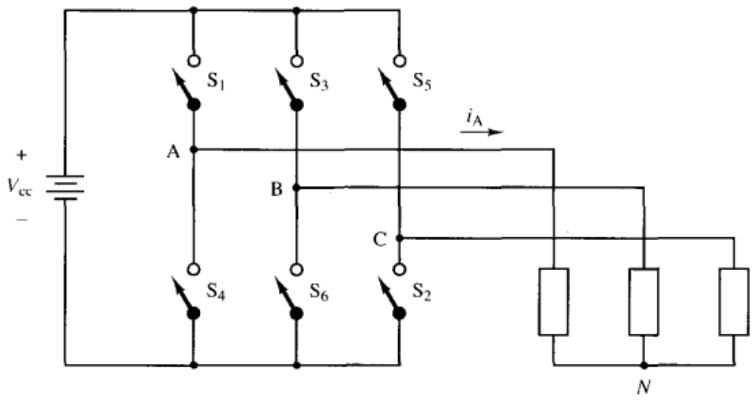



**Figura 65:** Esquema circuital Inversor Trifásico tipo puente [11].

Los interruptores se abren y se cierran según el esquema mostrado en la figura 66.

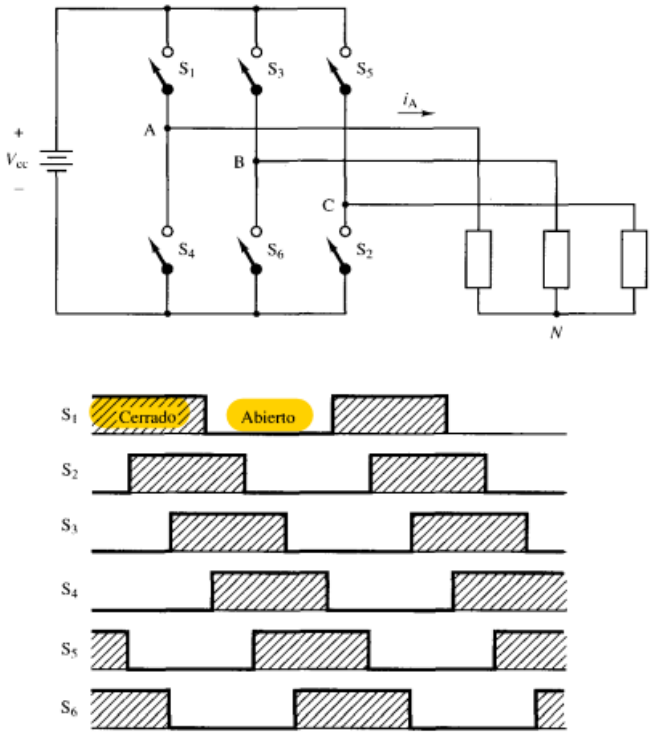



**Figura 66:** Esquema de conmutación de interruptores Inversor Trifásico de seis pulsos [11].

Cada interruptor tiene un ciclo de trabajo del 50 % , y la conmutación tiene lugar cada intervalo de T/6, lo que representa un intervalo angular de 60°. Los interruptores S1 y S4 se abren y se cierran de forma complementaria, al igual que los pares (S2,S5) y (S3,S6). Al igual que en el inversor monofásico, estos pares de interruptores deben de estar coordinados de manera que no estén cerrados al mismo tiempo, lo cual daría como resultado un corto circuito en la fuente [11].
El esquema de conmutación de la figura 66 produce las tensiones de línea de salida que pueden verse en la figura 67.

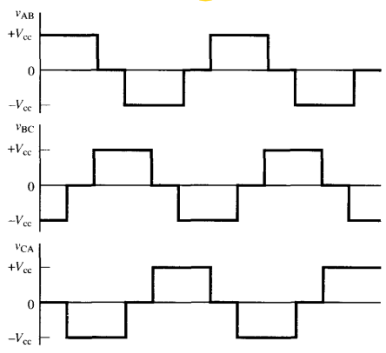



**Figura 67:** Tensiones línea a línea de salida [11].

Para una carga conectada en estrella, que es la forma más común de conexión, la tensión de la carga en cada fase es la tensión de línea a neutro, como se muestra en la figura 68.

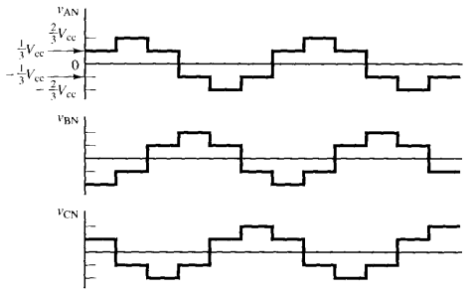



**Figura 68:** Tensiones línea-neutro de salida [11].

Dado que los resultados que se obtienen no son señales con formas que son completamente senoidales, es allí donde se realiza la modulación SPWM, para con ello obtener señales trifásicas senoidales con la forma esperada.

## Modulación de ancho de pulso senoidal (SPWM)

Para sintetizar una onda senoidal de voltaje y frecuencia variable y que además se pueda implementar en el puente trifásico, se necesita una técnica que utilice únicamente estados ON-OFF. Esta técnica es la modulación de ancho de pulso senoidal, conocida como modulación SPWM, la cual consiste en variar el ancho de un pulso de acuerdo al valor de la señal modulante(senoidal) [12].

Esto se consigue al comparar una portadora de frecuencia mayor, que por lo general es una señal triangular o diente de sierra, con la señal modulante; si la magnitud de la modulante es mayor que la magnitud de la portadora estára en un valor ALTO u ON y visceversa, de esta forma si la modulante está en su valor máximo el ancho del pulso en valor alto será máximo y visceversa, así como se muestra en la figura 69, donde se usa como portadora a una señal diente de sierra y como modulante una senoidal. Para recuperar la señal basta con colocar un filtro pasabajos en la salida con una frecuencia de corte menor a la frecuencia de la portadora [12].

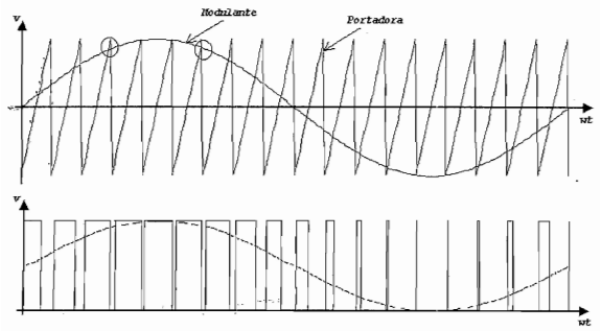



**Figura 69:** Modulación de ancho de pulso SPWM [12].

Este método de modulación SPWM posee muchas ventajas, como el hecho de que es posible tener cualquier tipo de señal como modulante, permite hacer un aislamiento entre la parte de control y de potencia generándose los pulsos de control con lógica digital y pasar a través de optoacopladores, y la más

importante para las aplicaciones de control de motores.
Mientras mayor sea la frecuencia de la portadora las componentes armónicas en el espectro de Fourier se desplazan más hacia el lado de las altas frecuencias(derecha) siendo más fácil su filtrado [12]. Para el control de motores eléctricos es necesario tres ondas desfasadas 120 grados cada una, esto se consigue al tener una portadora única y tres modulantes (senoidales).

## Ciclo Útil e Índice de Modulación (SPWM)

La ecuación (15) relaciona el valor del ciclo útil $\delta$, con el valor del índice de modulación SPWM m.

$$\delta = \frac{1}{2} + \frac{1}{2} mSen(2\pi * f + \Phi) \tag{15}$$

donde $\delta$ es el valor del ciclo útil de la modulación SPWM y se define como se presenta en la ecuación (16).

$$m = \frac{ValorpicoSenoidal}{ValorpicoTriangular} \tag{16}$$

Para controlar el voltaje de salida, como es lógico se controla la amplitud de las tres señales senoidales modulantes. Como se muestra en la ecuación (16), el índice de modulación SPWM es la relación entre la amplitud de la señal modulante y la señal portadora. Si se considera que la amplitud de la portadora se mantiene constante y es la amplitud de la modulante la que varía, el índice de modulación varía entre un valor de 0 para un valor mínimo, y 1 para el máximo.

Considerando de que se parte de un voltaje continuo VDC, la referencia de las ondas senoidales será VDC/2, esto mediante la colocación de dos capacitores de alto valor que se conectan entre sí en serie, y que van en paralelo con la fuente DC de entrada, y colocando la referencia del circuito en el punto medio entre estos dos capacitores. Dicho lo anterior, el índice de modulación m, se expresa como se muestra en la ecuación (17), lo cual limita a que si el el índice de modulación es entre 0 y 1, el valor pico de la señal modulante tenga un valor máximo de VDC/2, que corresponde a la mitad del valor de la fuente de entrada continua.

$$m = \frac{ValorpicoSenoidal}{\frac{VDC}{2}} \tag{17}$$

Dado que el valor del ciclo útil $\delta$ de la modulación SPWM depende del índice de modulación, lo que se hace es normalizar tanto la señal del ciclo útil como la señal triangular portadora, para que ambas estén entre un valor de 0 y 1, y así realizar la comparación entre el valor del ciclo útil $\delta$ y el valor de la señal triangular para que así se que generen los pulsos que disparen los IGBT's del inversor trifásico.

Las tensiones trifásicas de salida del circuito no son perfectamente senoidales, por lo que para que las señales mejoren su forma, se implementa un filtro RLC, el cual se coloca en la mitad de cada rama, es decir, en la parte media entre los IGBT's de cada rama del circuito, como se muestra en la figura 70.

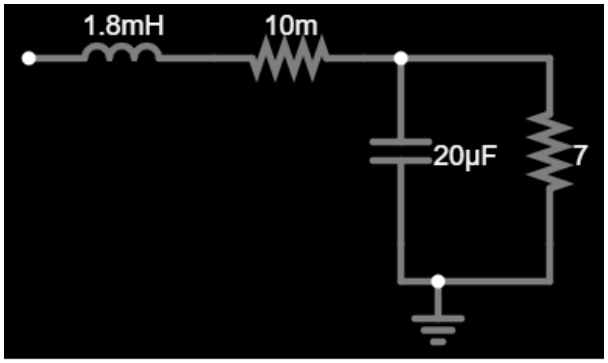



**Figura 70:** Filtro Inversor Trifásico

## SIMULACIÓN DE INVERSOR TRIFÁSICO EN LA CPU DEL OPAL-RT 4510

Cuando se realiza la implementación de un inversor trifásico con IGBT'S, sin hacer uso del EHS Solver, lo que quiere decir es que la simulación del inversor o también conocido convertidor DC/AC se ejecutará en la CPU o Procesador del OPAL-RT, lo cual implica que no se usa el EHS Solver para la construcción del circuito a simular, es decir, no se utilizará el bloque EHS de Simulink para allí hacer la construcción del circuito del inversor trifásico a simular.
Al no realizar la simulación del inversor en la FPGA del OPAL-RT, no son aprovechadas las ventajas en simular en ésta, como lo es un tiempo de muestreo muy bajo, menor a $1\mu$ s, y mayor precisión al momento de por ejemplo generar señales de disparo de semiconductores, lo cual influye radicalmente en los resultados que se obtienen del circuito. Como también fue mencionado para el caso del convertidor Boost simulado en la CPU del OPAL.

Al realizar la simulación del inversor trifásico con IGBT's en la CPU o procesador del OPAL-RT, el tiempo de muestreo de las señales es mayor comparado al caso de simular en la FPGA, donde los tiempos de muestreo son muy pequeños, y es ahí donde, como parte de los objetivos del presente trabajo de grado, se realizaron las comparaciones entre las respuestas obtenidas de simular el inversor trifásico en la CPU del OPAL y las respuestas obtenidas de simular el inversor trifásico en la FPGA del OPAL-RT 4510.

Para el caso del presente trabajo de grado, las simulaciones del inversor trifásico realizadas en la CPU del OPAL-RT, fueron implementadas fijando un tiempo de muestreo de $10\mu$ s que es lo mismo que una frecuencia de muestreo de 100 KHz.
Se realizó la construcción en Simulink del modelo de un inversor trifásico con IGBT's, el cual posteriormente se simuló en la CPU del OPAL-RT 4510, con el objetivo de realizar mediciones de tensión e intensidad en componentes de interés del circuito, y para luego comparar las respuestas obtenidas de simular el inversor en la CPU del OPAL-RT, frente las respuestas obtenidas de realizar la simulación del inversor en la FPGA del OPAL-RT.
Los valores de los componentes del circuito inversor trifásico con IGBT's con los que se realizaron las simulaciones en el OPAL-RT, corresponden a los valores del inversor trifásico con el que cuenta el laboratorio del LIFAE de la universidad Distrital Francisco José de Caldas, y cuyo montaje se muestra en la figura 71.

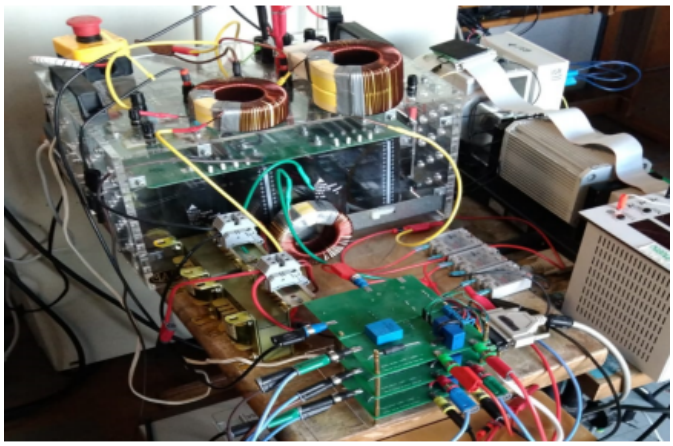


**Figura 71:** Inversor Trifásico Laboratorio LIFAE Universidad Distrital

Los valores de los componentes del inversor trifásico con IGBT's con los que se realizaron las pruebas fueron:

- VDC=600 V ; (Voltaje de entrada DC)
- C=2200$\mu$F (Capacitores en paralelo fuente DC entrada)
- R=0.001 $\Omega$ (Resistencia fuente de entrada)
- L=1.8 mH (Inductancias filtro)
- R=0.1 $\Omega$ (Resistencias filtro)
- R=7 $\Omega$ (Resistencia de carga)

Una vez establecidos los valores de todos los componentes del inversor trifásico a simular en tiempo real en el OPAL-RT 4510, se procedió a realizar la construcción del modelo en Simulink, el cual una vez es construido, se simula en tiempo real en la CPU del OPAL-RT, esto a través del software RT-LAB.

Para la construcción del modelo del Inversor Trifásico con IGBT's en Simulink, se debe dividir el modelo en dos subsistemas, donde uno de ellos es el subsistema consola o GUI, que es donde se encuentra ubicada la parte de visualización de las señales de interés a medir dentro del circuito, además de las constantes relacionadas a las entradas al subsistema maestro.
El otro subsistema construido es el subsistema maestro o de computación, que es el subsistema donde va embebido el circuito del inversor trifásico a simular, es decir, donde se realizan operaciones, cálculos, y todo lo relacionado al comportamiento físico del sistema. En las figuras 72, 73, y 74, se muestran los subsistemas construidos para realizar la simulación del Inversor Trifásico con IGBT's en la CPU del OPAL-RT 4510.

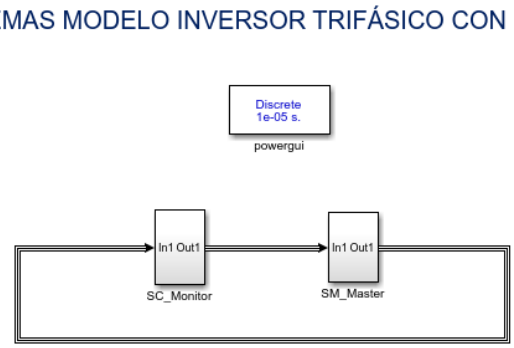



**Figura 72:** Subsistemas Modelo Inversor Trifásico con IGBT's simulación CPU OPAL

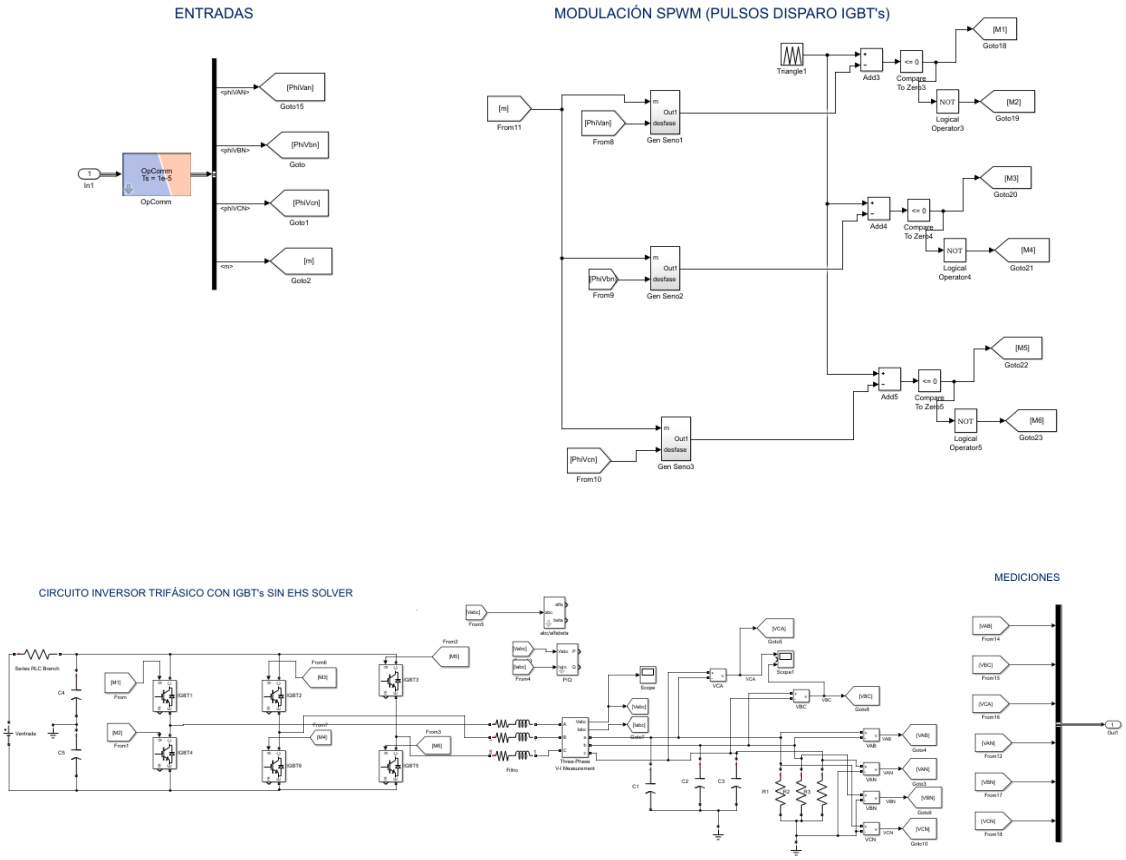



**Figura 73:** Subsistema Maestro Modelo Inversor Trifásico con IGBT's simulación CPU OPAL.

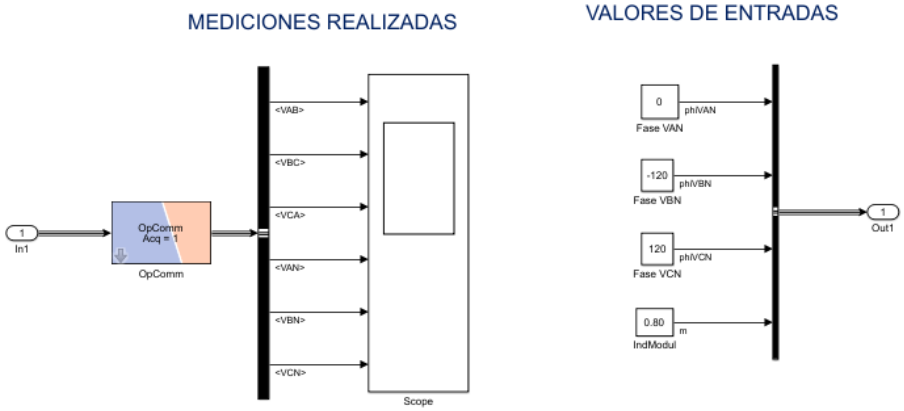



**Figura 74:** Subsistema Consola Modelo Inversor Trifásico con IGBT's simulación CPU OPAL.

Como se observa en la figura 73, para disparar los IGBT's del inversor trifásico, se realizó la modulación SPWM, en la cual se hizo la comparación del ciclo útil con el valor de la señal triangular normalizada. De acuerdo al resultado de dicha comparación, se genera un pulso en alto para uno de los dos IGBT's de la rama, y un pulso en bajo para el IGBT complementario de la misma rama. Esto se hace con tres señales senoidales modulantes desfasadas entre sí 120 grados, que representan las señales de salida trifásica que

se quieren obtener en la salida del inversor trifásico.

## RESULTADOS SIMULACIÓN DEL INVERSOR TRIFÁSICO CON IGBT's EN LA CPU DEL OPAL-RT 4510

Se realizaron pruebas de simulación al inversor trifásico para diferentes valores de índice de modulación m, con el objetivo de hacer mediciones de tensiones de fase y de línea de salida, y así detallar cómo es el comportamiento del circuito al ser simulado en la CPU del OPAL-RT.
Al variar el valor del índice de modulación, lo que se está haciendo es modificar la amplitud de las señales AC trifásicas obtenidas a la salida del circutio, tanto de fase-neutro como de línea-línea.

En la figura 75 se muestran los resultados obtenidos de simular el Inversor Trifásico con IGBT'S en la CPU del OPAL-RT 4510 para diferentes valores de índice de modulación m.

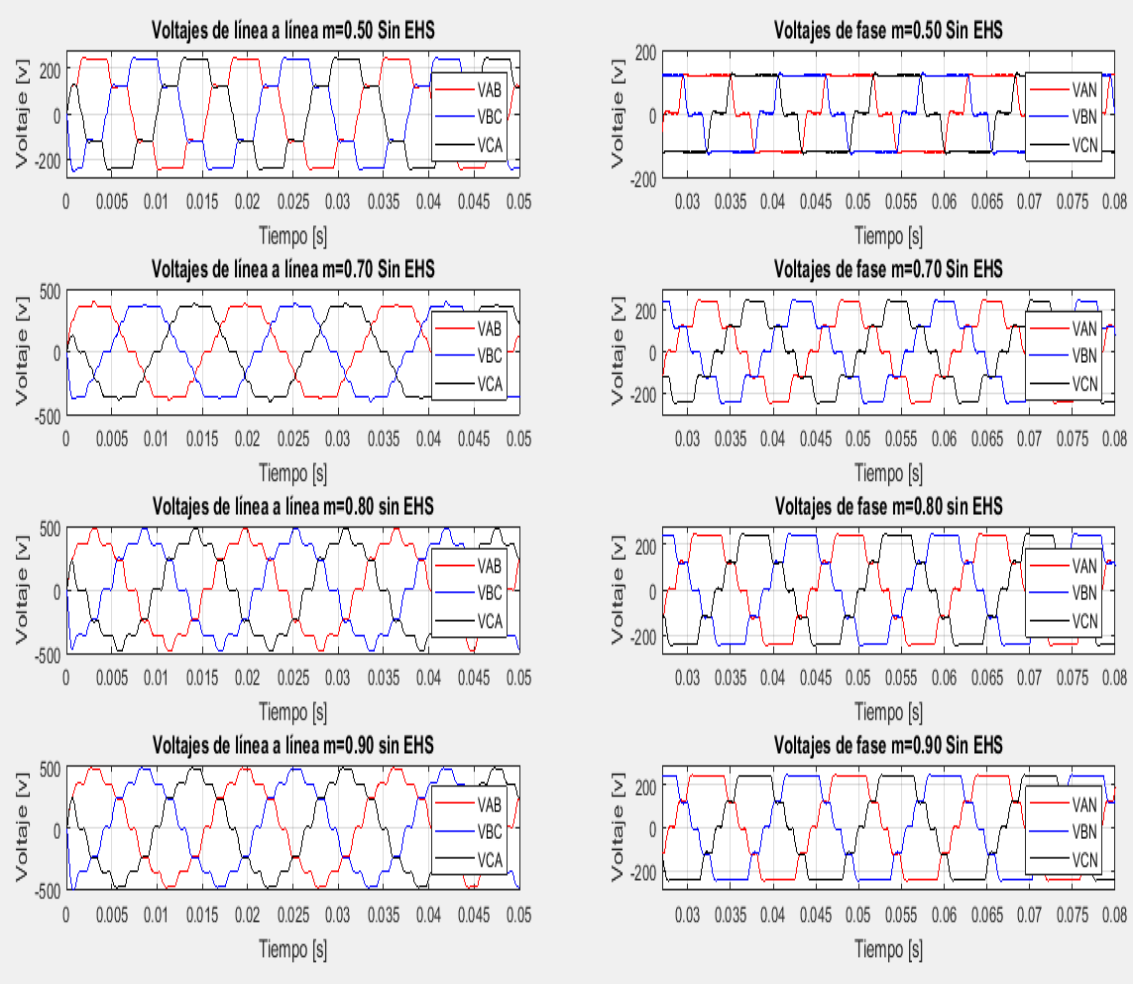



**Figura 75:** Voltajes de línea y de fase Simulación Inversor Trifásico con IGBT's CPU OPAL-RT

# 6. SIMULACIÓN DE CONVERTIDORES DE POTENCIA EN LA FPGA DEL OPAL-RT 4510

## 6.1. Simulación Rectificador Trifásico Totalmente Controlado con SCR's en la FPGA del OPAL-RT 4510

Cuando se realiza la implementación de un rectificador trifásico totalmente controlado, haciendo uso del EHS Solver, lo que quiere decir es que la simulación de dicho rectificador trifásico se ejecutará en la FPGA del OPAL-RT 4510, lo cual implica que se usa el EHS Solver para la construcción del rectificador, es decir, se utiliza el bloque EHS de Simulink para allí hacer la construcción del circuito del convertidor a simular.

Al realizar la simulación del rectificador en la FPGA del OPAL-RT, se aprovechan las ventajas de simular en ésta, como lo es un tiempo de muestreo muy bajo, menor a $1\mu$ s, y mayor precisión al momento de por ejemplo generar señales de disparo de semiconductores, lo cual influye radicalmente en los resultados que se obtienen del circuito.

Como parte de los objetivos del presente trabajo de grado, se realizan las comparaciones entre las respuestas obtenidas de simular el rectificador trifásico en la FPGA del OPAL frente a las respuestas obtenidas de simular en la CPU del OPAL.
Se implementó el rectificador trifásico totalmente controlado con los mismos datos de diseño utilizados para el rectificador trifásico totalmente controlado simulado en la la CPU del OPAL-RT 4510, los cuales fueron :

- Voltaje de Entrada trifásica V=45Sen($2\pi$*60+$\Phi$) V
- Resistencia de carga: RL=30 $\Omega$

Tanto para el caso cuando se simula en la FPGA del OPAL, como para el caso cuando se simula en la CPU del OPAL, el modelo del rectificador trifásico totalmente controlado debe ser dividido en subsistemas, que en este caso, se dividió en dos subsistemas, un subsistema maestro, para el cálculo y operaciones dentro del modelo físico, y un subsistema consola, para la visualización e interacción con la simulación.

En la figura 76 se muestran los subsistemas creados para la simulación en tiempo real, del modelo del rectificador trifásico totalmente controlado en la FPGA del OPAL-RT 4510.

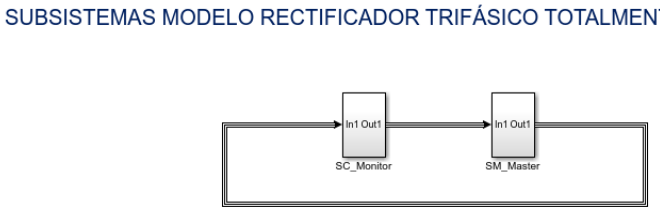



**Figura 76:** Subsistemas Rectificador Trifásico Totalmente Controlado EHS.

En la figura 77 se muestra el subsistema maestro creado para la simulación en tiempo real, del modelo del rectificador trifásico totalmente controlado. Como se observa en esta figura, las señales de disparo

fueron implementadas en Simulink, es decir, de forma externa al bloque EHS, lo que se puede ver en el bloque EHS, dado que tiene como entradas las señales que disparan los SCR's.

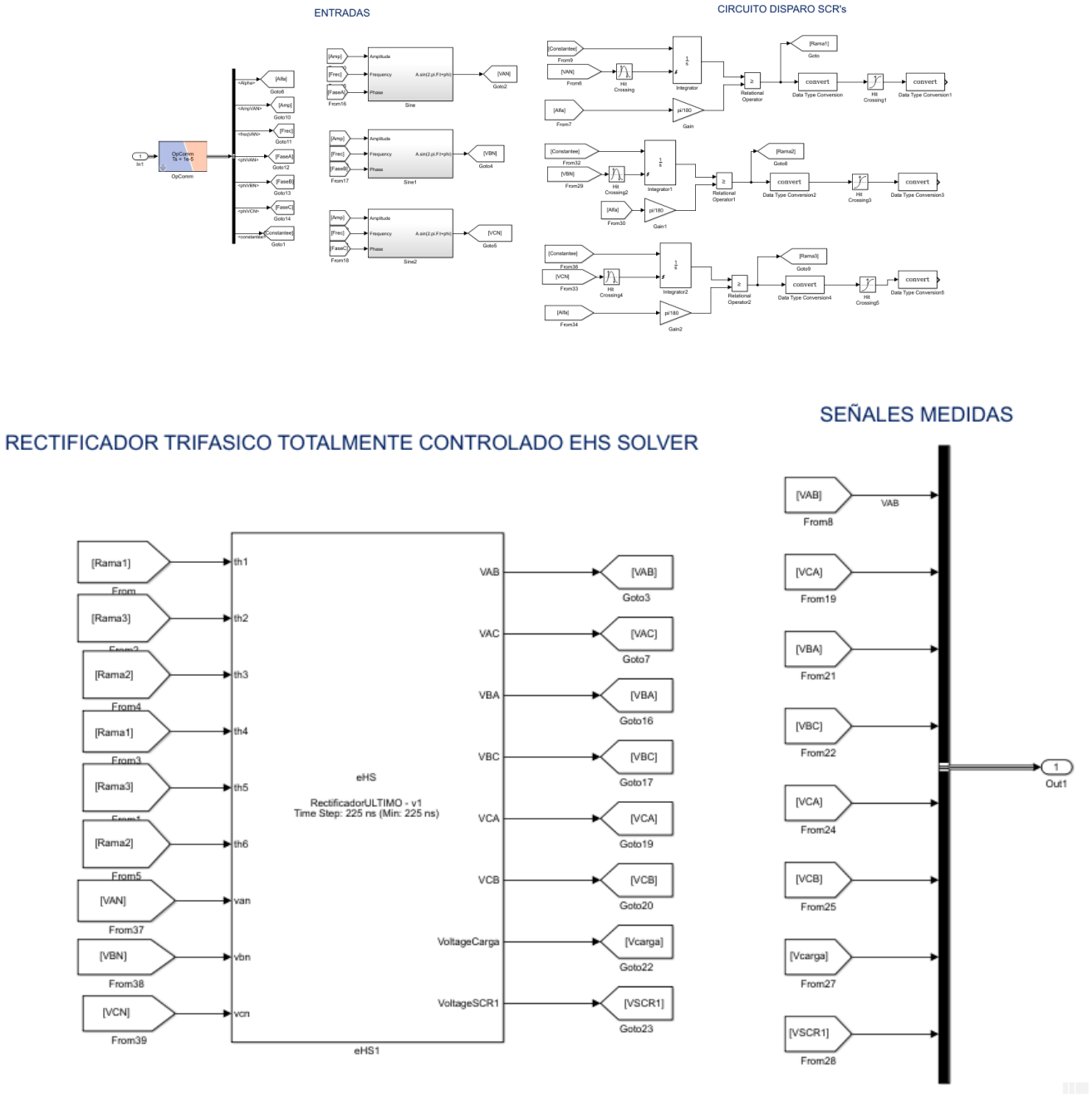



**Figura 77:** Subsistema Maestro Rectificador Trifásico Totalmente Controlado EHS.

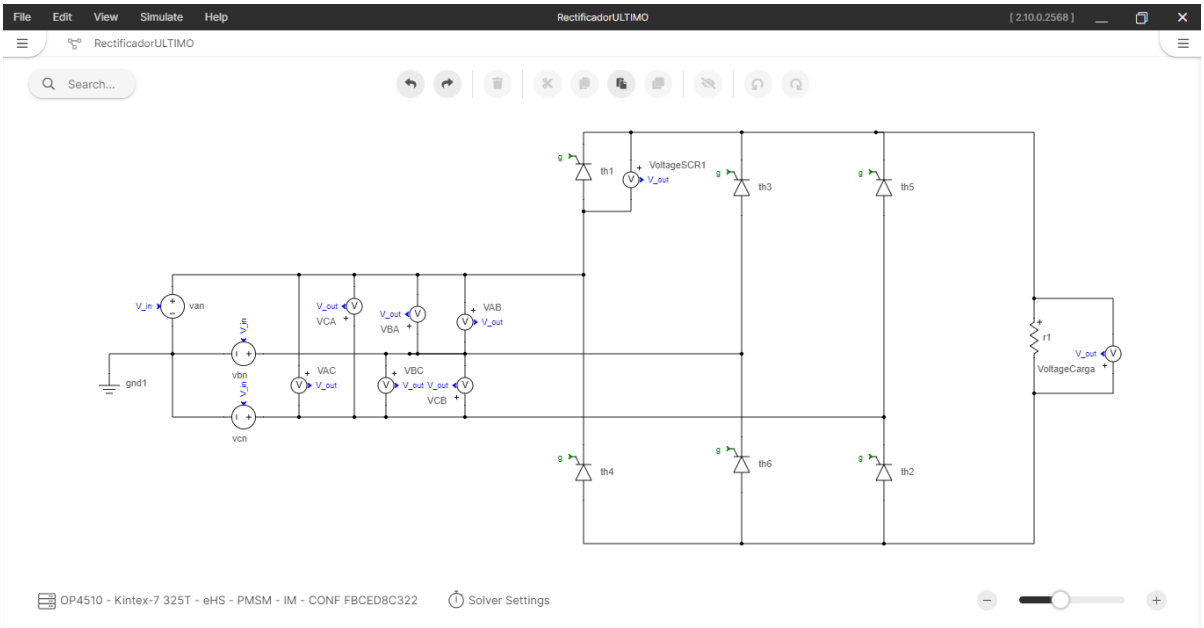



**Figura 78:** Circuito Rectificador Trifásico Totalmente Controlado en Schematic Editor.

En la figura 79, se muestra el subsistema consola creado para la simulación en tiempo real, del modelo del rectificador trifásico totalmente controlado.

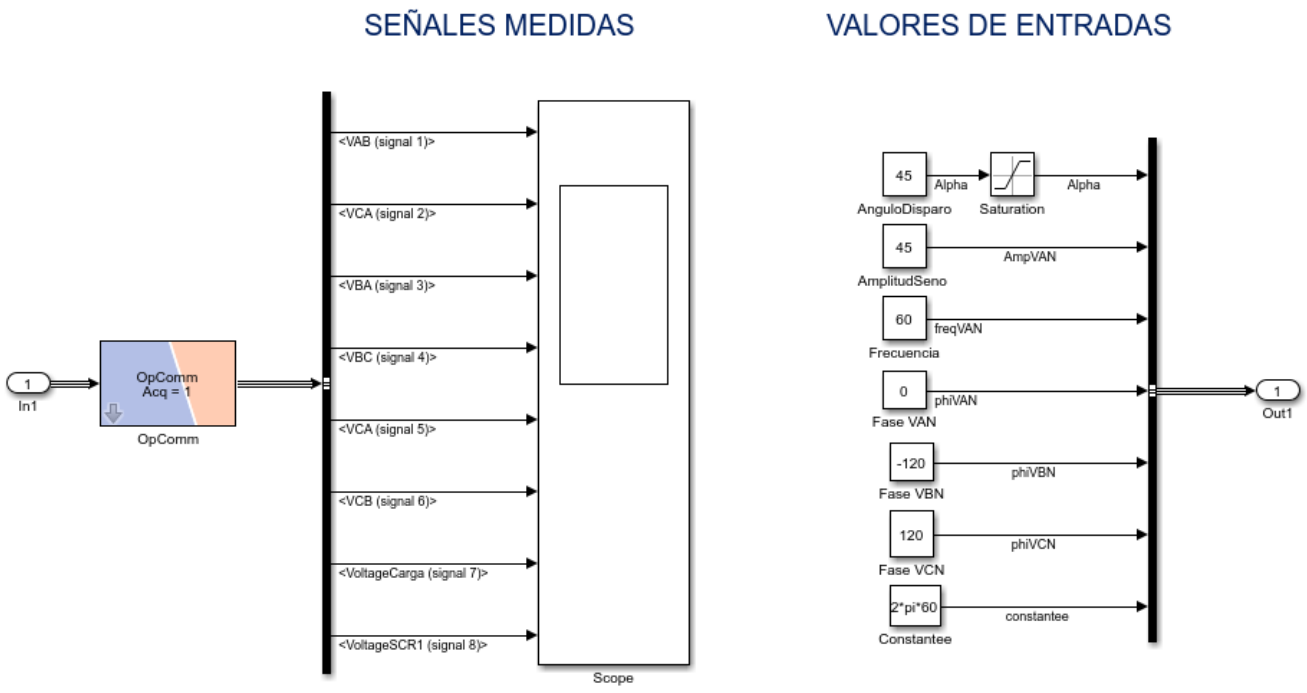



**Figura 79:** Subsistema Consola Rectificador Trifásico Totalmente Controlado EHS.

## RESULTADOS DE SIMULAR RECTIFICADOR TRIFÁSICO TOTALMENTE CONTROLADO EN LA FPGA DEL OPAL-RT 4510

Se hicieron diferentes pruebas al modelo del rectificador trifásico totalmente controlado implementado en la FPGA del OPAL-RT 4510, para diferentes valores de ángulo de disparo.
Para estas pruebas de simulación realizadas al rectificador trifásico en la FPGA del OPAL-RT se generaron resultados, los cuales posteriormente se compararon con los resultados de simular el mismo rectificador en la CPU del OPAL.

En la figura 80 se presentan los resultados obtenidos de simular el modelo del rectificador trifásico totalmente controlado en la FPGA del OPAL-RT 4510 para diferentes ángulos de disparo.

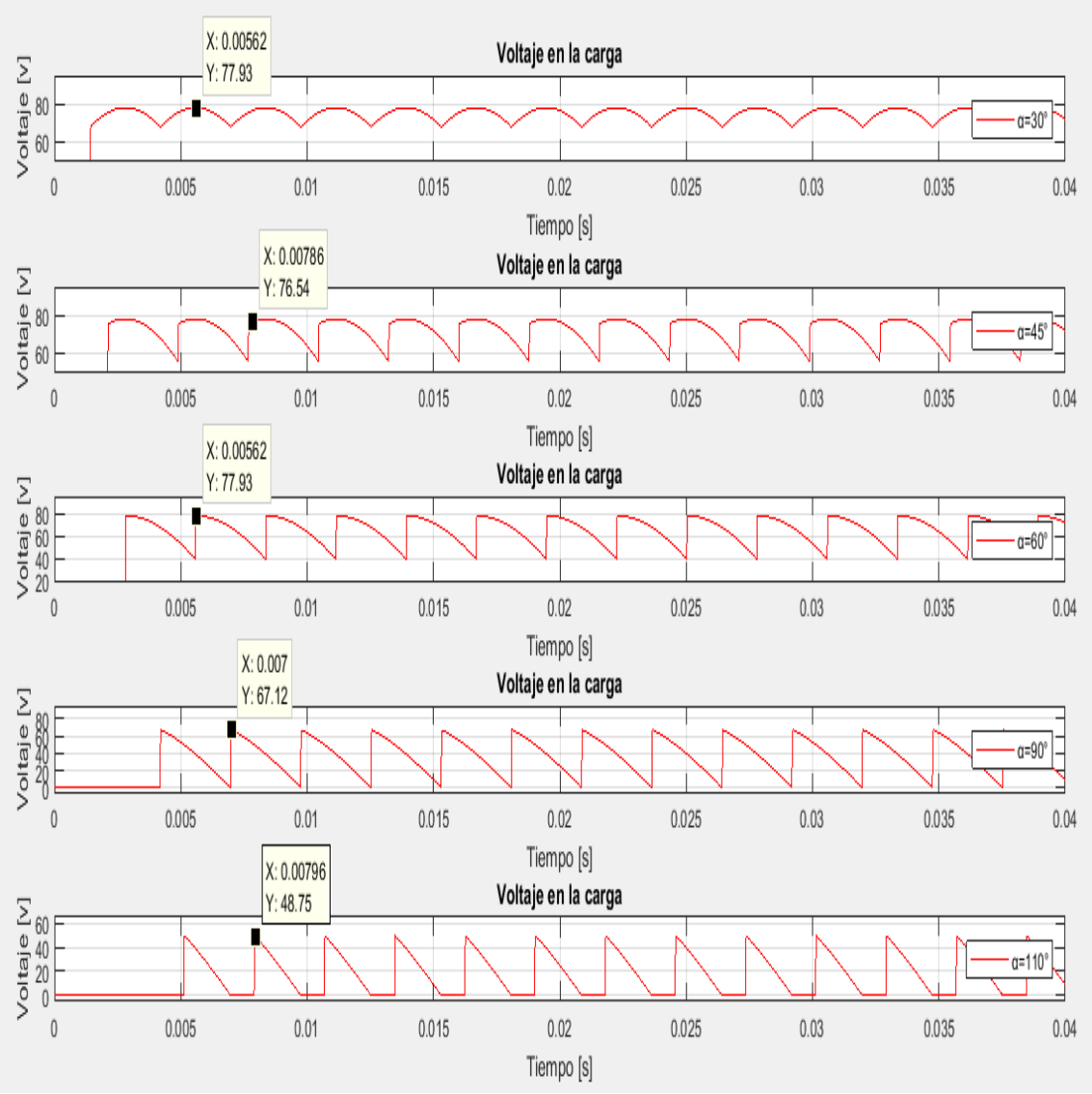



**Figura 80:** Resultados Simulación rectificador trifásico totalmente controlado en FPGA del OPAL-RT 4510.

## 6.2. Simulación del Convertidor Boost en la FPGA del OPAL-RT 4510

Cuando se realiza la implementación de un convertidor de potencia haciendo uso del EHS Solver, lo que quiere decir es que la simulación de dicho convertidor se ejecutará en la FPGA del OPAL-RT 4510, lo cual implica que se usa el EHS SOlver para la construcción del circuito a simular, es decir, se utiliza el bloque EHS de Simulink, para allí hacer la construcción del circuito del convertidor a simular.
Al realizar la simulación del convertidor en la FPGA del OPAL-RT, ya se aprovechan las ventajas de simular en ésta, como lo es un tiempo de muestreo muy bajo, menor a $1\mu$ s, y mayor precisión al momento de por ejemplo generar señales de disparo de semiconductores, lo cual influye radicalmente en los resultados que se obtienen del circuito.

Al hacer la simulación del convertidor en la FPGA del OPAL-RT, el tiempo de muestreo de las señales es menor, comparado al caso de simular en la CPU donde los tiempos de muestreo son mayores, y es ahí donde, como parte de los objetivos del presente trabajo de grado, se realizaron las comparaciones entre las respuestas obtenidas de simular en la FPGA del OPAL y las respuestas obtenidas de simular en la CPU del OPAL.

Para la simulación del convertidor elevador Boost en la FPGA del OPAL-RT, esta se realizó de dos maneras. La primera de ellas fue mediante conmutación externa, y lo que quiere decir esto, es que la señal de disparo del dispositivo que actúa como interruptor, en este caso el mosfet, se genera por fuera del bloque EHS donde está embebido el circuito del convertidor a simular, es decir, la señal de disparo se genera en Simulink (No en el Schematic Editor).

La segunda manera de implementar el convertidor Boost utilizando el EHS Solver, es mediante conmutación interna, y lo que quiere decir esto, es que la señal de disparo del mosfet, se genera internamente en el bloque EHS, es decir, que la señal de disparo, es producida internamente por la FPGA, lo que hace que el bloque EHS ya no tenga un terminal de entrada correspondiente a la señal de disparo, sino que esta entrada se elimina debido a la generación interna del señal de disparo.

Para seleccionar la opción entre simular con conmutación interna y con conmutación externa, lo que se debe de hacer es tomar el componente del mosfet, dentro del circuito construido en el bloque EHS, para el cual se tienen dos posibilidades para recibir la señal de disparo, ya sea desde Simulink, es decir de forma externa, o desde la FPGA, es decir de forma interna. Cuando es el caso de conmutación interna, se deben mapear dos parámetros desde Simulink a RT-LAB, que es el valor del ciclo útil y de la frecuencia de conmutación. Una vez mapeados estos parámetros, internamente la FPGA genera la señal de disparo del mosfet, esto mediante salidas digitales que salen por un puerto físico del OPAL-RT y se realimentan como entradas al OPAL, y que actúa como señal de disparo para el mosfet.

**SIMULACIÓN CONVERTIDOR BOOST EN FPGA DEL OPAL-RT (CONMUTACIÓN EXTERNA)**

Se realizó la construcción en Simulink, de un convertidor electrónico de potencia, en este caso un convertidor elevador (Boost), utilizando el EHS Solver, es decir, construyendo el modelo del convertidor al interior del bloque EHS, y generando la señal de disparo del mosfet de forma externa al bloque EHS.
Este modelo de conmutación externa se simuló en la FPGA de la herramienta OPAL-RT 4510, con el objetivo de realizar mediciones de tensión e intensidad en componentes de interés del circuito, y para luego comparar las respuestas obtenidas de simular en la FPGA del OPAL tanto para conmutación externa como conmutación interna, frente a las respuestas obtenidas de realizar la simulación en la CPU del OPAL del convertidor elevador simulado.

Se implementó el convertidor elevador Boost con los mismos datos de diseño utilizados para el convertidor Boost simulado en la CPU del OPAL, los cuales fueron :

- Voltaje de Entrada Vs=28.15 V
- Ciclo de trabajo D=0.50
- Voltaje de salida Vs=56.3v
- Rizado en la tensión de salida máximo $\Delta$V=250mV
- Frecuencia de conmutación f=10KHz
- R=20.449$\Omega$
- L$\geq$127.75$\mu$H
- C$\geq$275.319$\mu$F

Tanto para el caso cuando se simula en la FPGA del OPAL, como para el caso cuando se simula en la CPU del OPAL, el modelo del convertidor debe ser dividido en subsistemas, que en este caso, se dividió en dos subsistemas, un subsistema maestro, para el cálculo y operaciones dentro del modelo físico, y un subsistema consola, para la visualización e interacción con la simulación.
En la figura 81 se muestran los subsistemas creados para la simulación en tiempo real, del modelo del convertidor elevador Boost con conmutación externa.

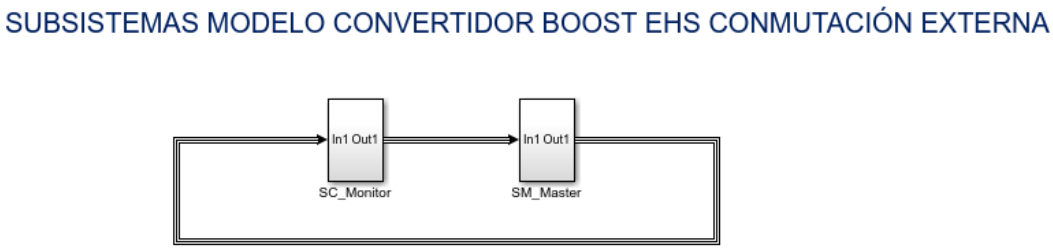



**Figura 81:** Subsistemas Convertidor Boost Conmutación Externa.

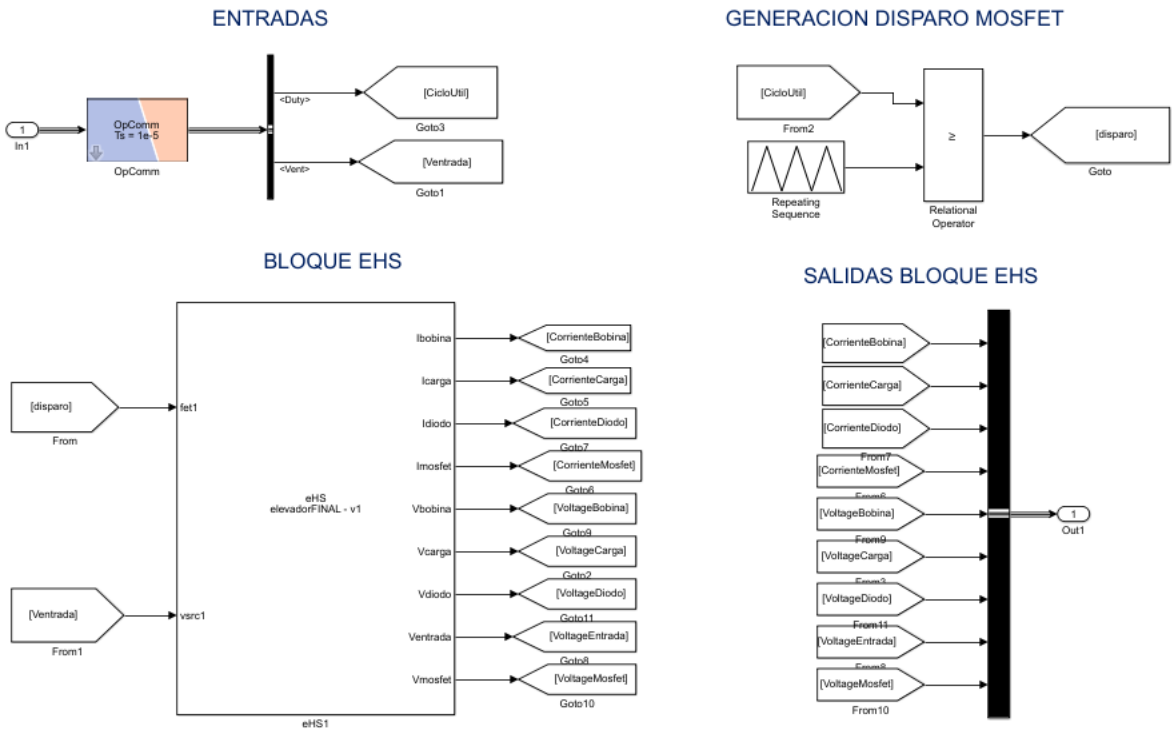



**Figura 82:** Subsistema Maestro Convertidor Boost Conmutación Externa.

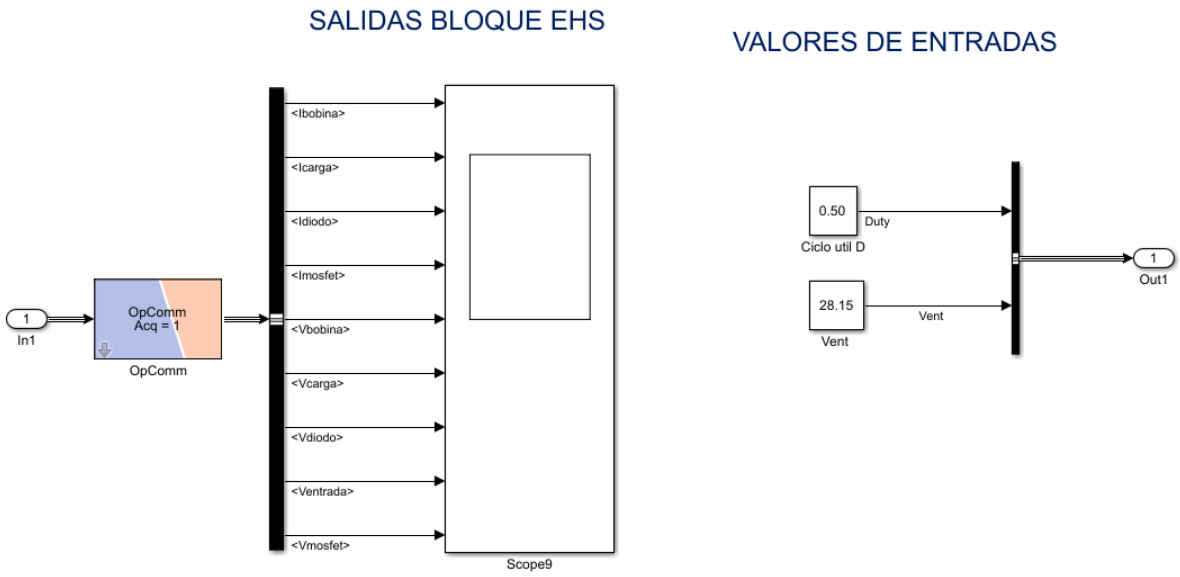



**Figura 83:** Subsistema Consola Convertidor Boost Conmutación Externa.

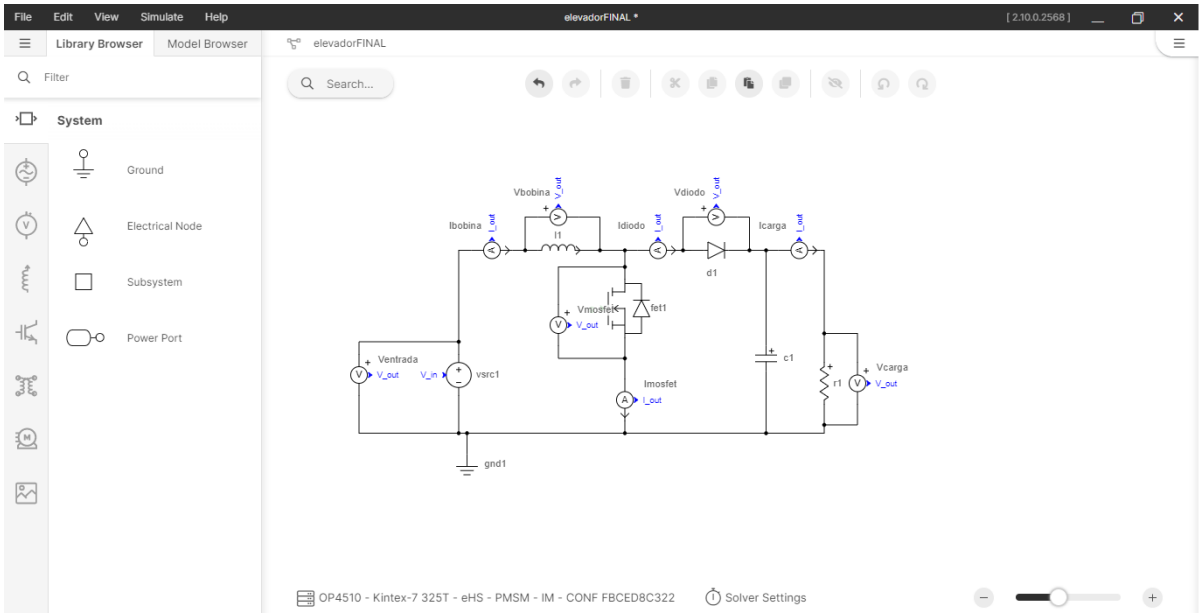



**Figura 84:** Convertidor Boost construido en el Schematic Editor.

Como se puede observar en la figura 82, la generación de la señal de disparo del mosfet fue hecha externamente al bloque EHS, y se obtuvo mediante la comparación del valor del ciclo útil, con la señal portadora triangular normalizada. Si el valor del ciclo útil es mayor que el valor de la señal portadora, la señal resultante estará en alto, y si el ciclo útil es menor que el valor de la portadora, la señal resultante será un nivel bajo o cero. Para este caso de simulación, la señal de disparo resultante de la comparación previamente mencionada, actúa como una entrada al bloque EHS y será la señal que dispare el mosfet.

Una vez se construyen los subsistemas requeridos para la implementación correcta del modelo, se guarda el modelo, con el fin de posteriormente pasar al software RT-LAB, y realizar la simulación en tiempo real del modelo construido.
Como se mencionó en apartados anteriores, para llevar a cabo la simulación de un modelo en RT-LAB, inicialmente se debe crear un proyecto nuevo, al cual debe ser adjuntado el archivo con extensión .slx, el cual corresponde al modelo del convertidor hecho en Simulink, para luego realizar los pasos de simulación antes explicados en apartados anteriores, y así obtener resultados del comportamiento del circuito.

## RESULTADOS DE SIMULAR EL CONVERTIDOR BOOST EN LA FPGA DEL OPAL CON CONMUTACIÓN EXTERNA

Se hicieron diferentes pruebas al modelo del convertidor Boost implementado en la FPGA del OPAL-RT, mediante conmutación externa. Se hicieron las pruebas de simulación para las condiciones de diseño iniciales, es decir para un ciclo de trabajo de 0.5 (D=0.5), y para una frecuencia de conmutación del mosfet de 10KHz (f=10KHz).
En la figura 85 se presentan los resultados de las señales obtenidas de la simulación del modelo del convertidor elevador Boost en la FPGA mediante conmutación externa en el OPAL-RT 4510.

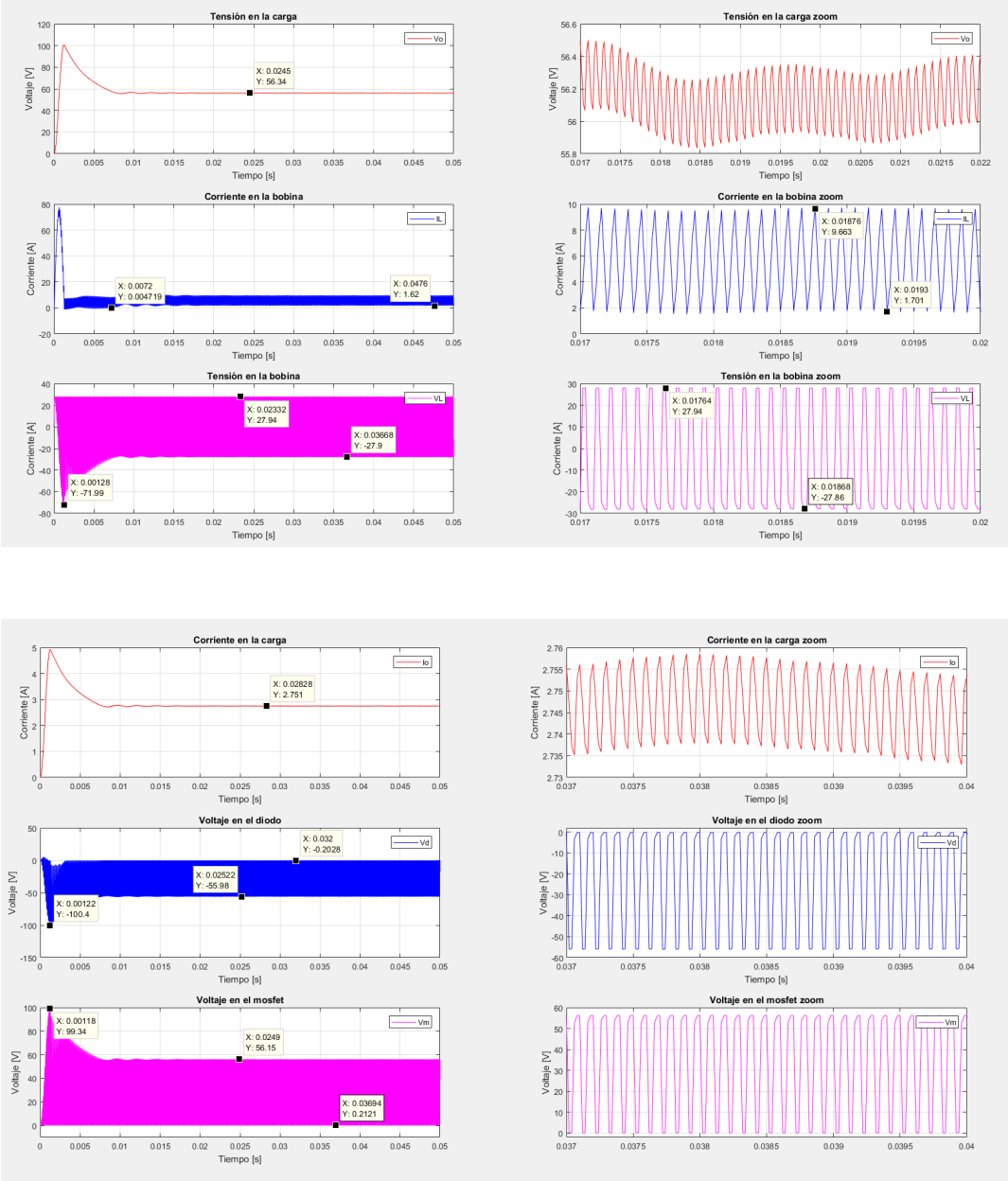



**Figura 85:** Resultados de Simular el Convertidor Boost en la FPGA del OPAL con Conmutación Externa para un D=0.50.

Una vez realizada la simulación del convertidor para las condiciones de diseño iniciales, se procedió a hacer pruebas de simulación para diferentes valores de ciclo de trabajo D, con el fin de observar y analizar el comportamiento que presenta al convertidor, para esta frecuencia de conmutación.
Por otro lado, se realizaron pruebas del mismo convertidor diseñado, pero ahora cambiando la frecuencia de conmutación, por un lado a 5KHz, y por otro 20 KHz.

Estas pruebas realizadas para distintos valores de ciclo útil, y frecuencia de conmutación, son realizadas tanto para el convertidor Boost simulado en la CPU del OPAL-RT, como para el convertidor Boost simulado en la FPGA del OPAL-RT. El objetivo de realizar las mismas pruebas para ambos modelos construidos, era como se ha mencionado, poder realizar las comparaciones entre los resultados que se obtienen de simular en la CPU frente a los resultados que se obtienen de simular en la FPGA.
En la figura 86 se presentan los resultados que fueron obtenidos al simular el convertidor Boost para un ciclo útil de 0.70 y frecuencia de conmutación de 10 KHz.

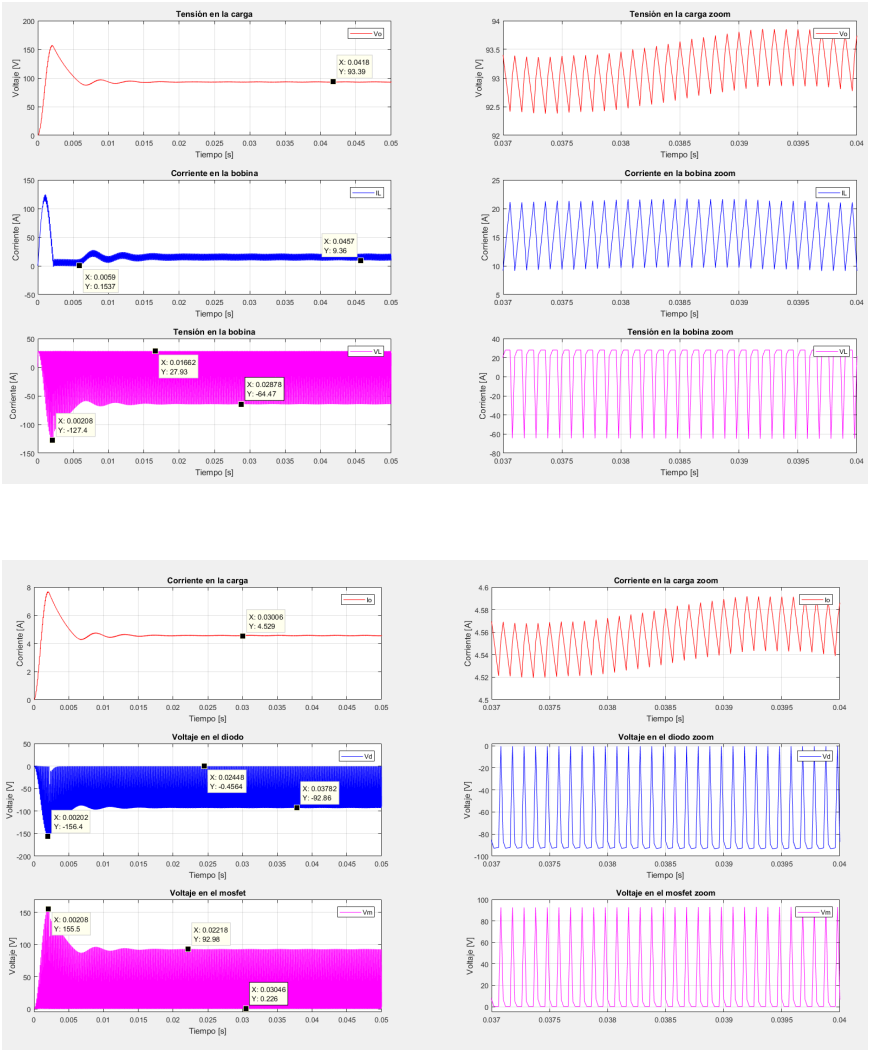



**Figura 86:** Resultados de Simular el Convertidor Boost en la FPGA del OPAL con Conmutación Externa para un D=0.70 y f=10 KHz.

En la figura 87 se presentan los resultados que fueron obtenidos al simular el convertidor Boost para un ciclo útil de 0.35 y frecuencia de conmutación de 10 KHz.

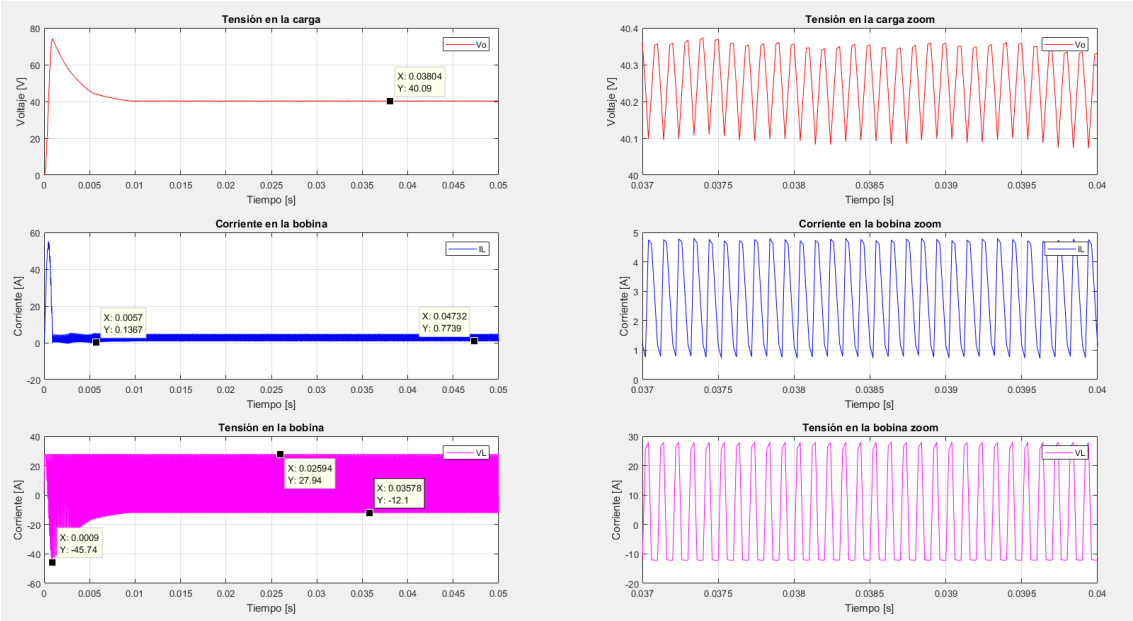



**Figura 87:** Resultados de Simular el Convertidor Boost en la FPGA del OPAL con Conmutación Externa para un D=0.35 y f=10 KHz.

En la figura 88 se presentan los resultados que fueron obtenidos al simular el convertidor Boost para un ciclo útil de 0.50 y frecuencia de conmutación de 5 KHz.

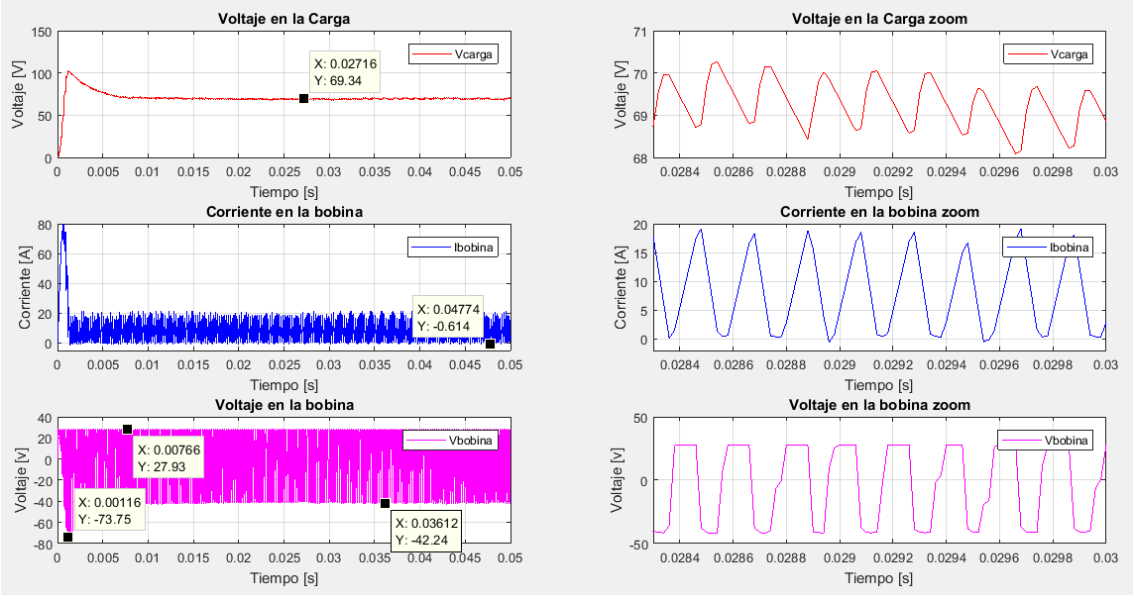



**Figura 88:** Resultados de Simular el Convertidor Boost en la FPGA del OPAL con Conmutación Externa para un D=0.50 y f=5KHz.

En la figura 89 se presentan los resultados que fueron obtenidos al simular el convertidor Boost para un ciclo útil de 0.50 y frecuencia de conmutación de 20 KHz.

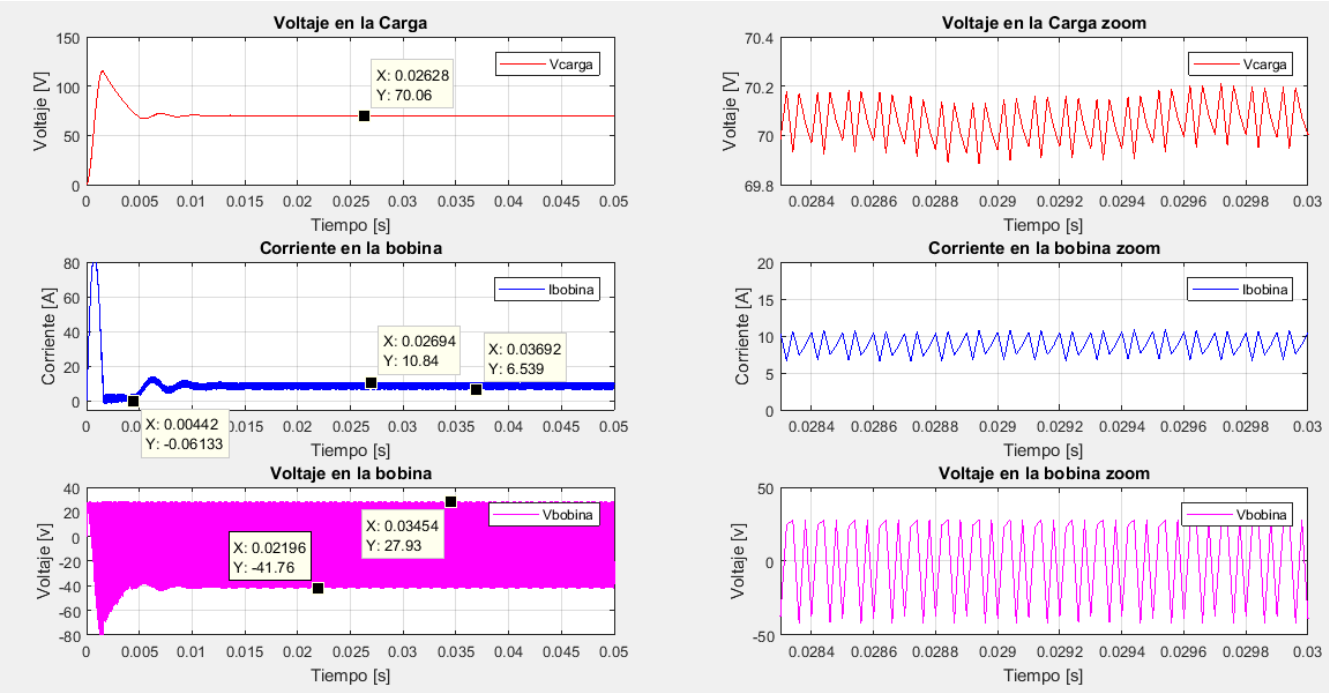



**Figura 89:** Resultados de Simular el Convertidor Boost en la FPGA del OPAL con Conmutación Externa para un D=0.50 y f=20KHz.

## SIMULACIÓN CONVERTIDOR BOOST EN LA FPGA DEL OPAL-RT 4510 (LOOPBACK)

Se realizó el diseño y construcción en Simulink, de un convertidor electrónico de potencia, en este caso un convertidor elevador (Boost), utilizando el EHS Solver, es decir, construyendo el modelo del convertidor al interior del bloque EHS, y generando la señal de disparo del mosfet de manera interna, es decir, para este caso de simulación, la señal de disparo del mosfet no llegará desde Simulink de forma externa, y como una entrada al bloque EHS, sino que será generada internamente en la misma FPGA del OPAL-RT 4510.

Para que esta señal de disparo sea generada internamente, en el componente del mosfet, el cual se encuentra en el circuito del convertidor que fue construido en el Schematic Editor, se le configura la opción de que la señal de disparo sea generada internamente por la FPGA, tal y como se presenta en la figura 90.

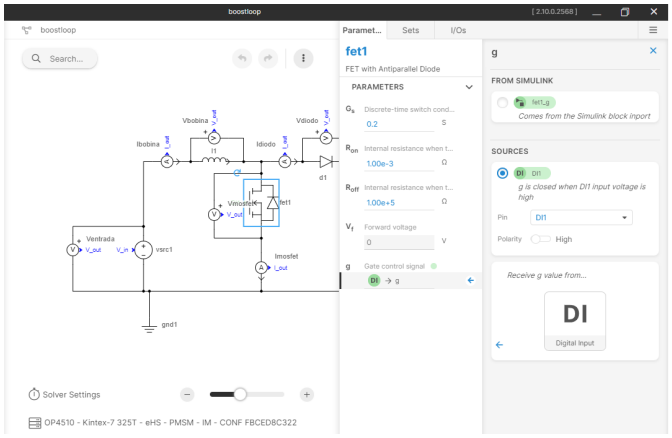



**Figura 90:** Configuración Generación Señal de disparo Mosfet en la FPGA del OPAL-RT.

Implementar la señal de disparo del mosfet de esta manera ofrece ventajas, ya que a diferencia del caso de conmutación externa, la señal de disparo se genera con un tiempo de muestreo muy bajo, que es el tiempo de muestreo utilizado por la FPGA, y dando como resultado señales de disparo más precisas en comparación a cuando la señal de disparo es generada en Simulink a la frecuencia de muestreo de la CPU del OPAL-RT

Para este caso de simulación, en el software RT-LAB, se hace la configuración para que sea internamente que se genera la señal de disparo del mosfet. Esto mediante el mapeo desde Simulink de dos variables que son el valor del ciclo útil D, y el valor de la frecuencia de conmutación f. Una vez realizado el mapeo de estos valores, se configura para que una vez dados estos valores, internamente en la FPGA se haga la comparación que permita generar la señal de disparo del mosfet.
Para realizar este mapeo del valor del ciclo útil y de la frecuencia de conmutación desde Simulink a RT-LAB, se utiliza el bloque OpOutput de la librería RT-LAB de Simulink.

Este modelo de conmutación interna se simuló en la FPGA de la herramienta OPAL-RT 4510, con el objetivo de realizar mediciones de tensión e intensidad en componentes de interés del circuito, y para luego comparar las respuestas obtenidas de simular en la FPGA del OPAL tanto para conmutación interna como conmutación externa, frente a las respuestas obtenidas de realizar la simulación en la CPU del OPAL del convertidor elevador Boost implementado.

Se hizo la implementación del convertidor elevador Boost con conmutación interna, con los mismos datos de diseño utilizados para el convertidor Boost simulado en el caso de conmutación externa, y en el caso de simulación en la CPU. Dichos valores de los componentes del circuito fueron :

- Voltaje de Entrada Vs=28.15 V
- Ciclo de trabajo D=0.50
- Voltaje de salida Vs=56.3v
- Rizado en la tensión de salida máximo $\Delta$V=250mV
- Frecuencia de conmutación f=10KHz
- R=20.449$\Omega$
- L$\geq$127.75$\mu$H
- C$\geq$275.319$\mu$F

En la figura 91 se muestra los subsistemas creados para la simulación en tiempo real, del modelo del convertidor elevador Boost con conmutación interna.

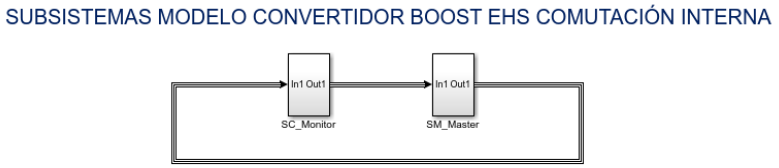



**Figura 91:** Subsistemas Convertidor Boost Conmutación Interna.

En la figura 92 se muestra el susbistema maestro creado para la simulación en tiempo real, del modelo del convertidor elevador Boost con conmutación interna. En esta figura se observa como el bloque EHS ya no tiene una entrada para la señal de disparo, dado que ahora esta señal se generará internamente en la FPGA, y no por medio de bloques en Simulink.

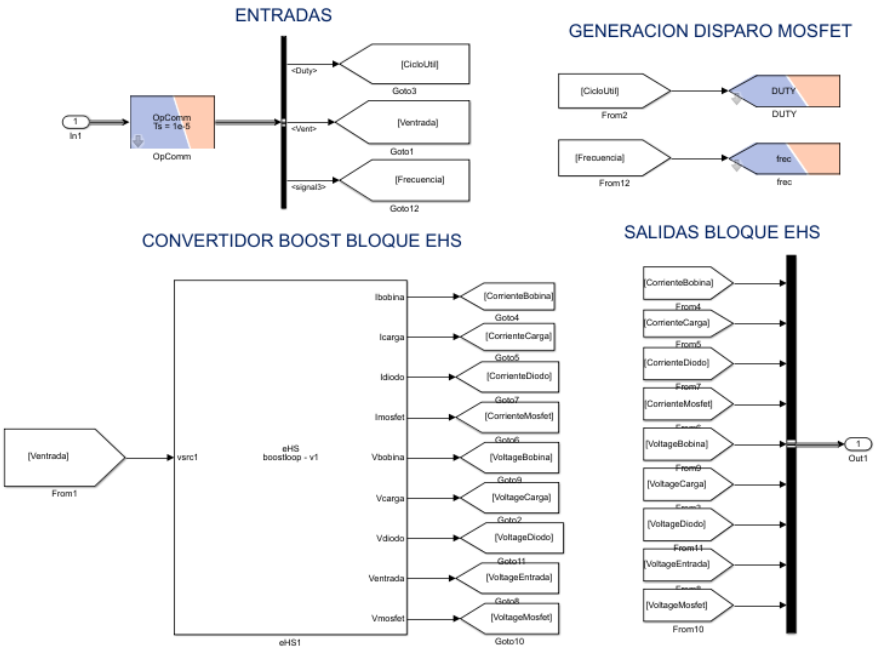



**Figura 92:** Subsistema Maestro Convertidor Boost Conmutación Interna.

En la figura 93 se muestra el subsistema consola para la simulación en tiempo real del modelo del convertidor elevador Boost con conmutación interna.

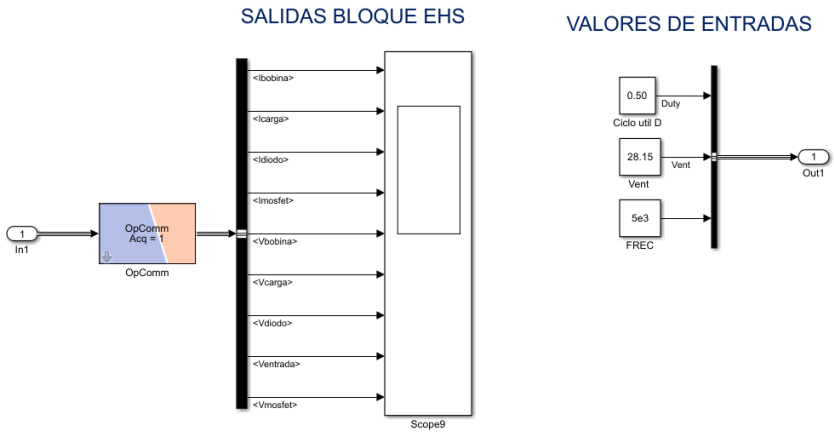



**Figura 93:** Subsistema Consola Convertidor Boost Conmutación Interna.

## RESULTADOS DE SIMULAR EL CONVERTIDOR BOOST EN LA FPGA DEL OPAL CON CONMUTACIÓN INTERNA O LOOPBACK

Se hicieron diferentes pruebas al modelo del convertidor del convertidor Boost implementado en la FPGA del OPAL-RT, mediante conmutación interna. Se hicieron las pruebas de simulación para las condiciones de diseño iniciales, es decir para un ciclo de trabajo de 0.5 (D=0.5), y para una frecuencia de conmutación del mosfet de 10KHz (f=10KHz).
En la figura 94 se presentan los resultados de las señales obtenidas de la simulación del modelo del convertidor elevador Boost en la FPGA mediante conmutación interna en el OPAL-RT 4510.

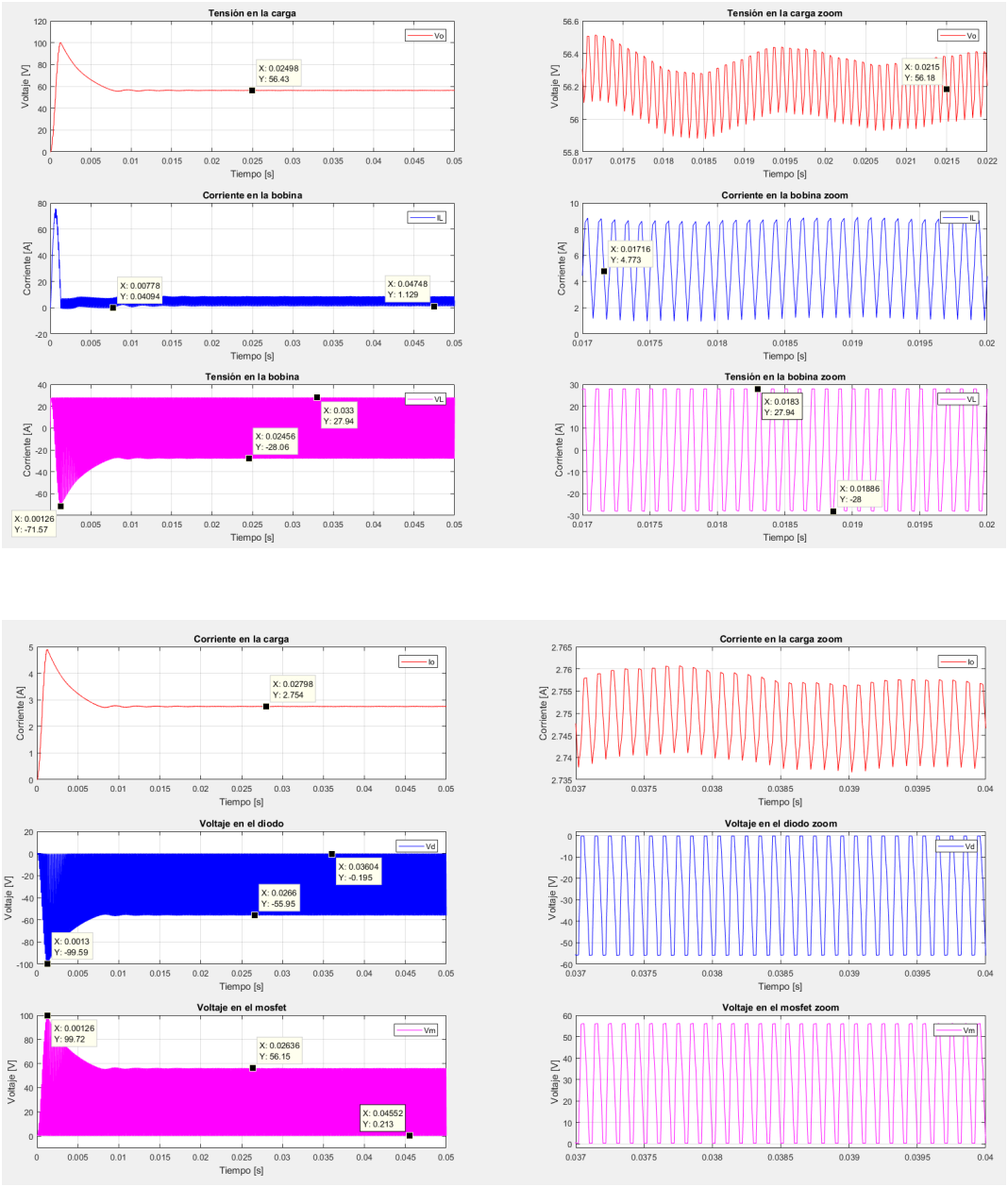



**Figura 94:** Resultados Simulación Convertidor Boost EHS Conmutación Interna para un D=0.50 y f=10KHz.

Una vez realizada la simulación del convertidor para las condiciones de diseño iniciales, se procedió a hacer pruebas de simulación para diferentes valores de ciclo de trabajo D, con el fin de observar y analizar el comportamiento que presenta al convertidor, para esta frecuencia de conmutación.
Por otro lado, se realizaron pruebas del mismo convertidor diseñado, pero ahora cambiando la frecuencia de conmutación, por un lado a 5KHz, y por otro 20 KHz.

Estas pruebas realizadas para distintos valores de ciclo útil, y frecuencia de conmutación, son realizadas tanto para el convertidor Boost simulado en la CPU del OPAL-RT, como para el convertidor Boost simulado en la FPGA del OPAL-RT. El objetivo de realizar las mismas pruebas para ambos modelos construidos, era como se ha mencionado, poder realizar las comparaciones entre los resultados que se obtienen de simular en la CPU frente a los resultados que se obtienen de simular en la FPGA.

En la figura 95 se presentan los resultados que fueron obtenidos al simular el convertidor Boost para un ciclo útil de 0.70 y frecuencia de conmutación de 10 KHz.

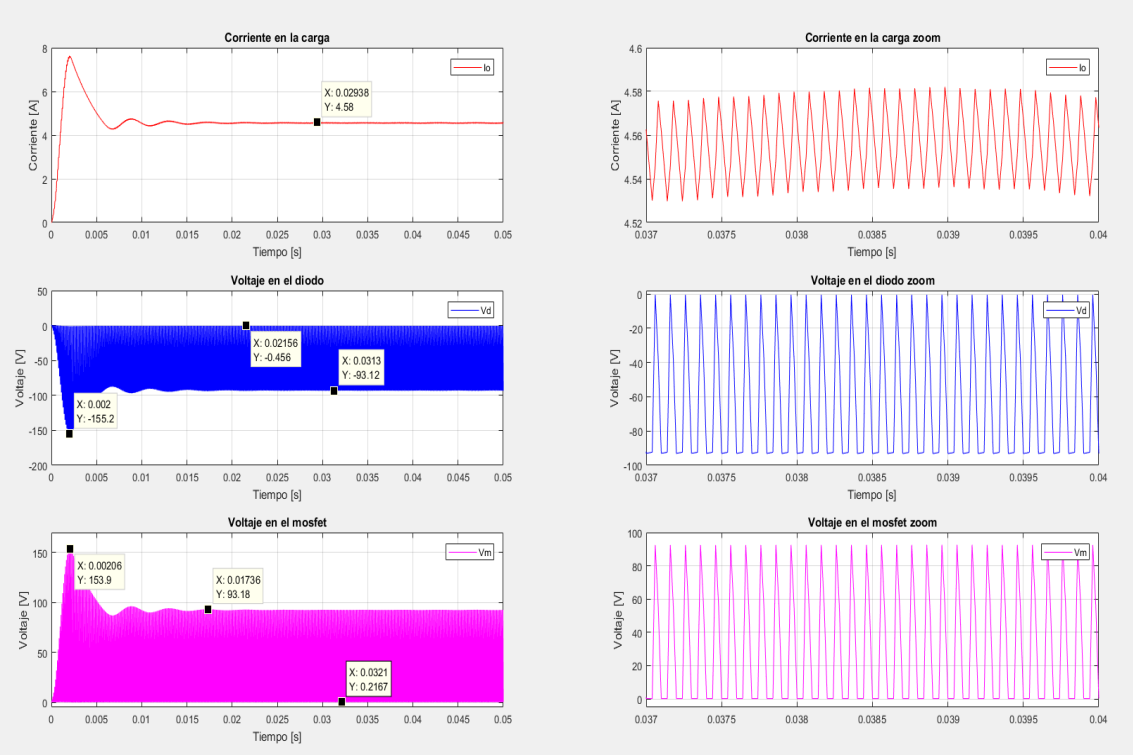



**Figura 95:** Resultados Simulación Convertidor Boost EHS Conmutación Interna para un D=0.70 y f=10KHz.

En la figura 96 se presentan los resultados que fueron obtenidos al simular el convertidor Boost para un ciclo útil de 0.35 y frecuencia de conmutación de 10 KHz.

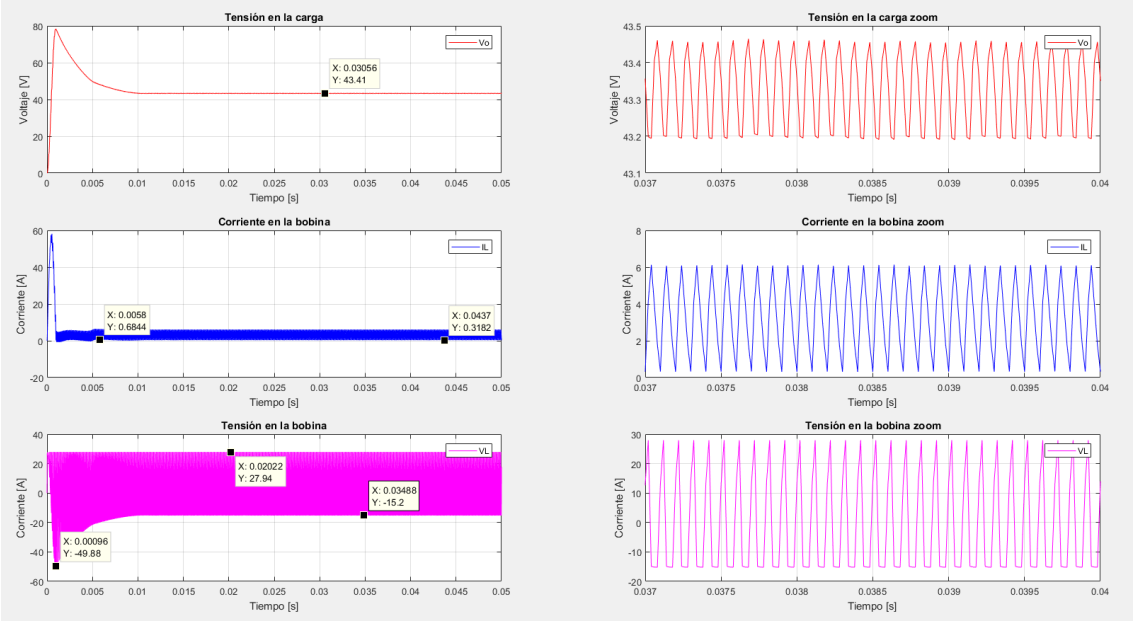



**Figura 96:** Resultados Simulación Convertidor Boost EHS Conmutación Interna para un D=0.35 y f=10KHz.

En la figura 97 se presentan los resultados que fueron obtenidos al simular el convertidor Boost para un ciclo útil de 0.50 y frecuencia de conmutación de 5 KHz.

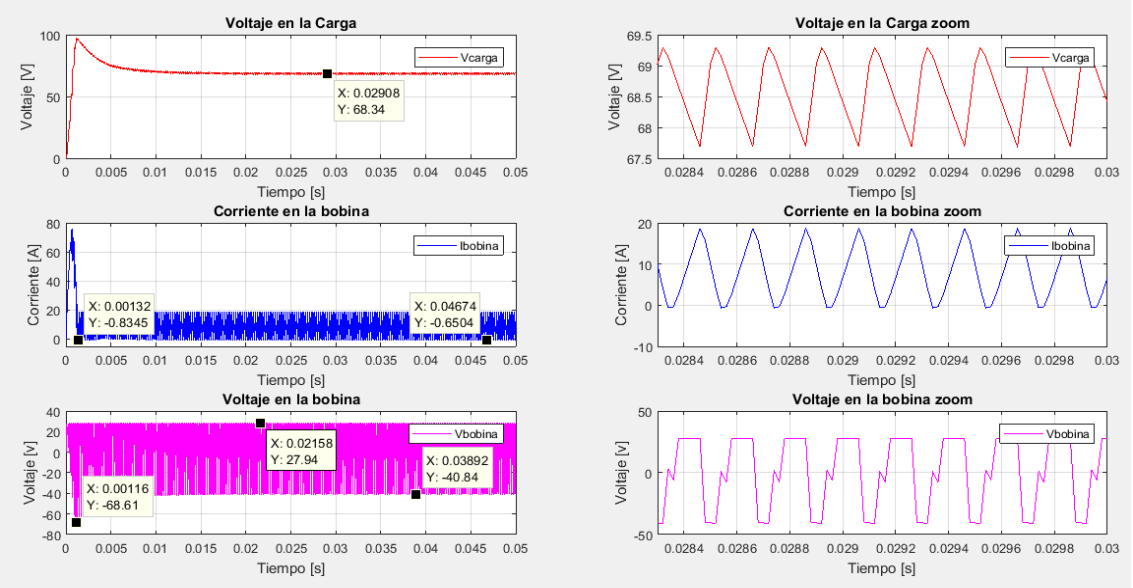



**Figura 97:** Resultados Simulación Convertidor Boost EHS Conmutación Interna para un D=0.50 y f=5KHz.

En la figura 98 se presentan los resultados que fueron obtenidos al simular el convertidor Boost para un ciclo útil de 0.50 y frecuencia de conmutación de 20 KHz.

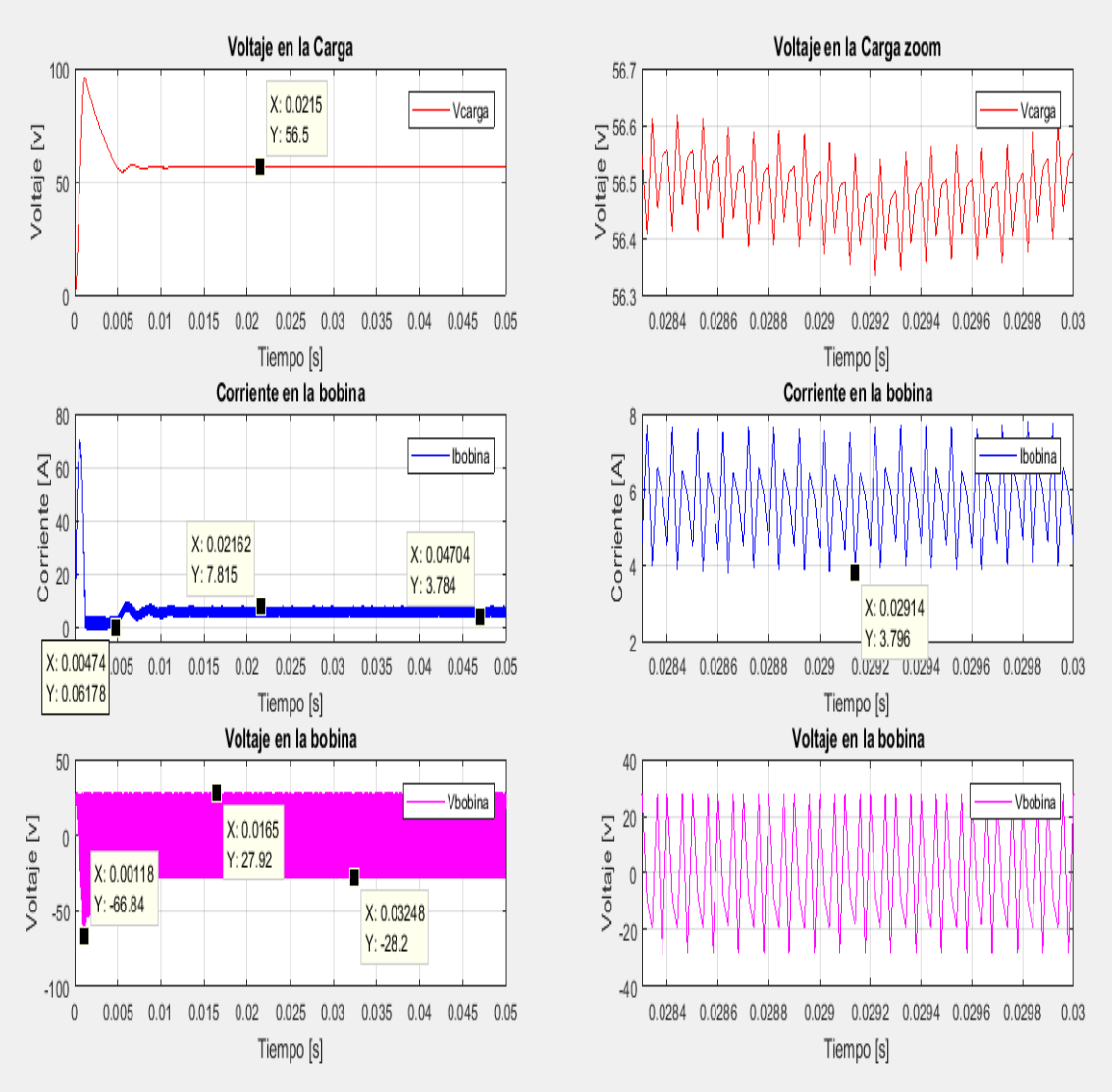



**Figura 98:** Resultados Simulación Convertidor Boost EHS Conmutación Interna para un D=0.50 y f=20KHz.

## 6.3. Simulación Inversor Trifásico con IGBT's en la FPGA del OPAL-RT 4510

Cuando se realiza la implementación de un inversor trifásico con IGBT'S, haciendo uso del EHS Solver, lo que quiere decir es que la simulación del inversor o también conocido convertidor DC/AC se ejecutará en la FPGA del OPAL-RT, lo cual implica que se usa el EHS Solver para la construcción del circuito a simular, es decir, se utilizará el bloque EHS de Simulink para allí hacer la construcción del circuito del inversor trifásico a simular.
Al realizar la simulación del inversor en la FPGA del OPAL-RT, se aprovechan las ventajas de simular en ésta, como lo es un tiempo de muestreo muy bajo, menor a $1\mu$ s, y mayor precisión al momento de por ejemplo generar señales de disparo de semiconductores, lo cual influye radicalmente en los resultados que se obtienen del circuito. Como también fue mencionado para el caso del Boost en la FPGA del OPAL.

Al realizar la simulación del inversor trifásico con IGBT's en la FPGA del OPAL-RT, el tiempo de muestreo de las señales es menor, comparado al caso de simular en la CPU del OPAL, donde los tiempos de muestreo son mucho mayores, y es ahí donde, como parte de los objetivos del presente trabajo de grado, se realizan las comparaciones entre las respuestas obtenidas de simular en la CPU del OPAL y las respuestas obtenidas de simular en la FPGA del OPAL.
Para la simulación del inversor trifásico en el EHS Solver, esta se realizó de dos maneras.
La primera de ellas fue mediante conmutación externa, y lo que quiere decir esto, es que las señales de disparo de los dispositivos que actúan como interruptores, en este caso los IGBT's, se generan por fuera del bloque EHS donde está embebido el circuito del convertidor a simular, es decir, las señales de disparo se generan en Simulink (No en el Schematic Editor).
La segunda manera de implementar el inversor trifásico con IGBT's utilizando el EHS Solver, es mediante conmutación interna, y lo que quiere decir esto, es que las señales de disparo de los IGBT's, se generan internamente en el bloque EHS, es decir, que las señales de disparo de los IGBT's es producida internamente por la FPGA, lo que hace que el bloque EHS ya no tenga terminales de entrada para recibir las señales de disparo del exterior del bloque EHS, sino que estas entradas se eliminan .

Para seleccionar la opción entre simular con conmutación interna y con conmutación externa, lo que se debe de hacer es tomar los IGBT's dentro del circuito construido en el bloque EHS, los cuales tienen dos posibilidades para la recibir de la señal de disparo, ya sea desde Simulink, es decir de forma externa, o desde la FPGA, es decir de forma interna. Cuando es el caso de conmutación interna, se deben mapear de Simulink a RT-LAB dos parámetros que son el valor del ciclo útil SPWM y el valor de frecuencia de la señal portadora normalizada.
Una vez son mapeados a RT-LAB estos parámetros, internamente la FPGA genera la señal de disparo de los IGBT's, esto mediante salidas digitales que salen por un puerto físico del OPAL-RT y se realimentan como entradas al OPAL, y que actúan como señales de disparo para los IGBT's.

**SIMULACIÓN INVERSOR TRIFÁSICO CON IGBT's EN LA FPGA DEL OPAL-RT (CONMUTACIÓN EXTERNA)**

Se realizó el diseño y construcción en Simulink, de un inversor trifásico con IGBT's, utilizando el EHS Solver, es decir, construyendo el modelo del inversor al interior del bloque EHS, y generando la señales de disparo de los IGBT's de manera externa a la FPGA, es decir, para este caso de simulación, las señales de disparo de los IGBT's se generan en Simulink de forma externa, y como señales de entrada al bloque EHS.

Implementar las señales de disparo de los IGBT's de esta manera genera limitaciones en comparación a generar las señales internamente en la FPGA. Esto debido a que la señales de disparo se generaron con un tiempo de muestreo más alto, que es el tiempo de muestreo de la CPU del OPAL-RT, y dando como resultado señales de disparo un poco menos precisas en comparación a cuando las señales de disparo son generadas en la FPGA.

Este modelo de conmutación externa se simuló en la FPGA del OPAL-RT 4510, con el objetivo de realizar mediciones de tensión e intensidad en componentes de interés del circuito, y para luego comparar las respuestas obtenidas de simular el inversor trifásico en la FPGA del OPAL tanto para conmutación interna como conmutación externa, frente a las respuestas obtenidas de realizar la simulación en la CPU del OPAL.

Los valores de los componentes del circuito inversor trifásico con IGBT's con los que se realizaron las simulaciones en el OPAL-RT, corresponden a los valores del inversor trifásico con el que cuenta el laboratorio del LIFAE de la universidad Distrital Francisco José de Caldas, y con los que se hicieron todas las pruebas en el inversor fueron:

- VDC=600 V ; (Voltaje de entrada DC)
- C=2200$\mu$F (Capacitores fuente DC entrada)
- R=0.001 Ω (Resistencia fuente de entrada)
- L=1.8 mH (Inductancias filtro)
- R=0.1 Ω (Resistencias filtro)
- R=7 Ω (Resistencia de carga)

En la figura 99 se presentan los subsistemas que fueron creados en Simulink, para la creación del modelo del inversor trifásico simulado en la FPGA del OPAL mediante conmutación externa.

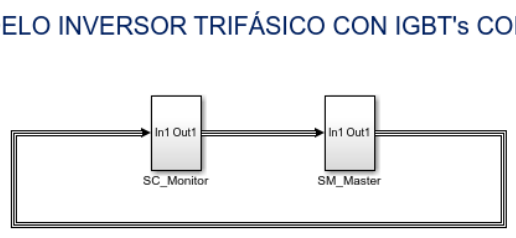



**Figura 99:** Subsistemas Inversor Trifásico con IGBT's Conmutación Externa.

En la figura 100 se presenta el subsistema maestro que fue construido en Simulink, para la creación del modelo del inversor trifásico simulado en la FPGA del OPAL mediante conmutación externa. Como se observa en esta figura, la modulación SPWM se realizó de manera externa al bloque EHS, es decir, las señales de disparo de los IGBT's fueron generadas con la frecuencia de muestreo del procesador, y posteriormente siendo entradas al bloque EHS, para con ello disparar los interruptores del circuito.

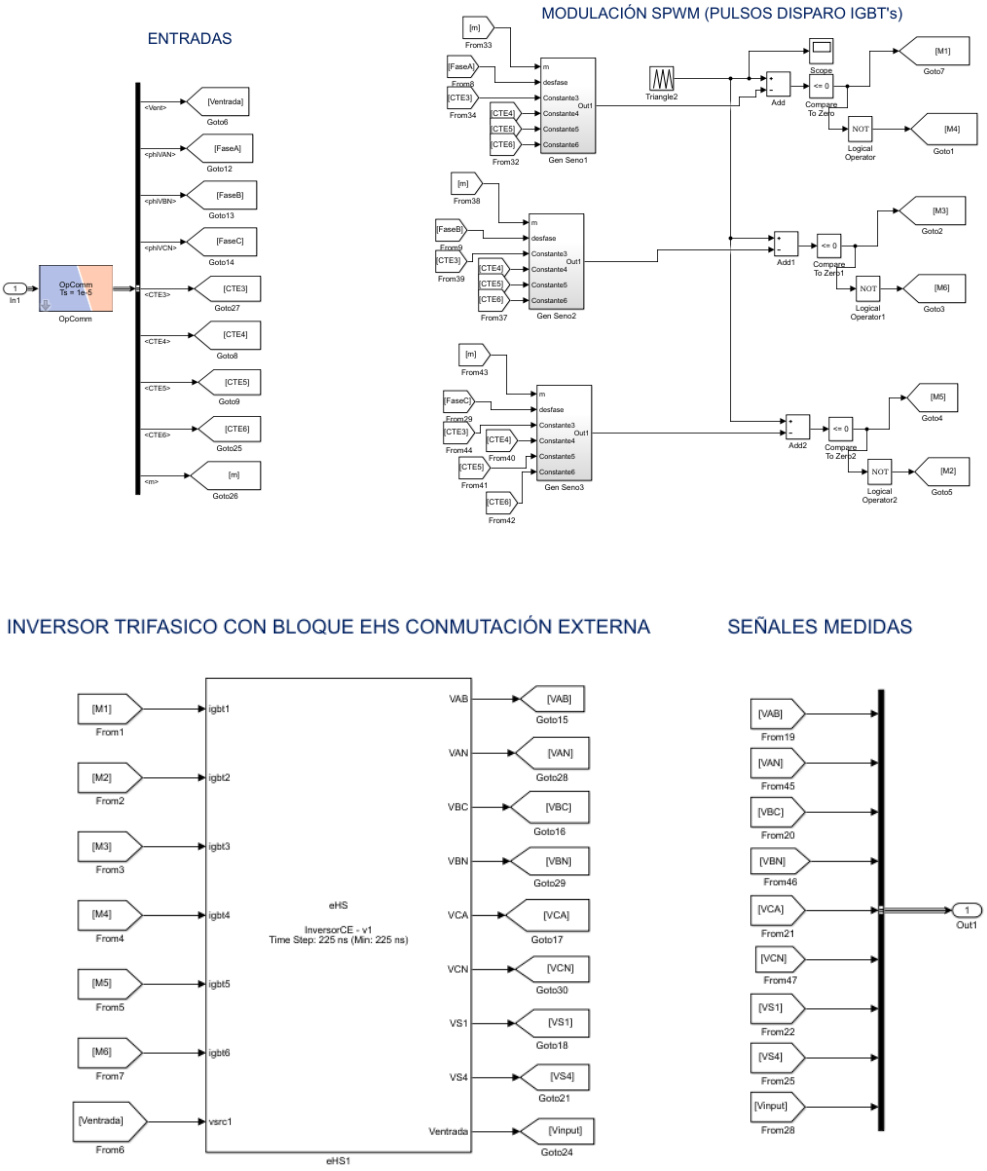



**Figura 100:** Subsistema Maestro Inversor Trifásico con IGBT's Conmutación Externa.

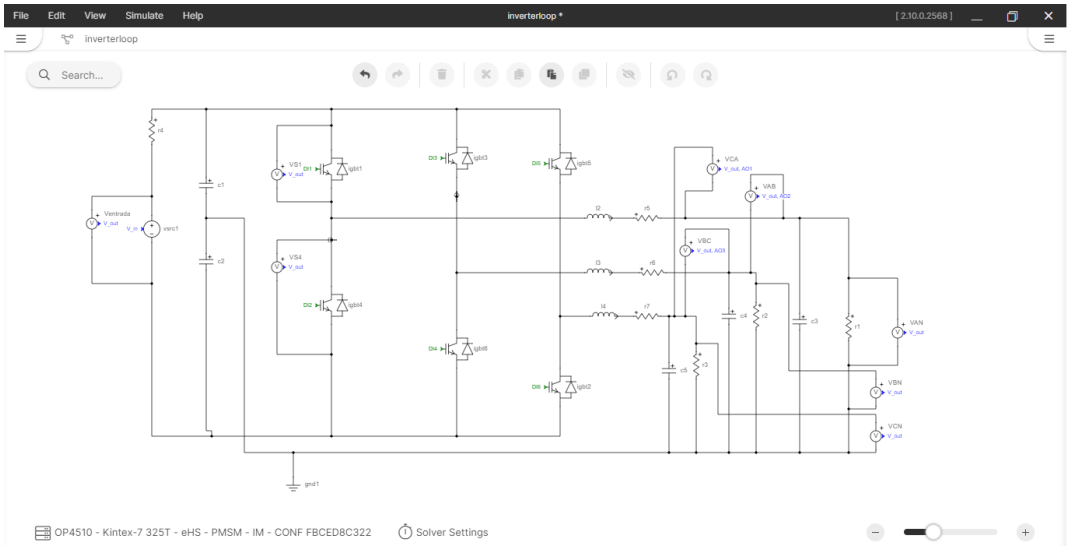



**Figura 101:** Circuito Inversor Trifásico con IGBT's construido en el Schematic Editor.

En la figura 102 se presenta el subsistema consola que fue creado en Simulink, para la creación del modelo del inversor trifásico simulado en la FPGA del OPAL mediante conmutación externa.

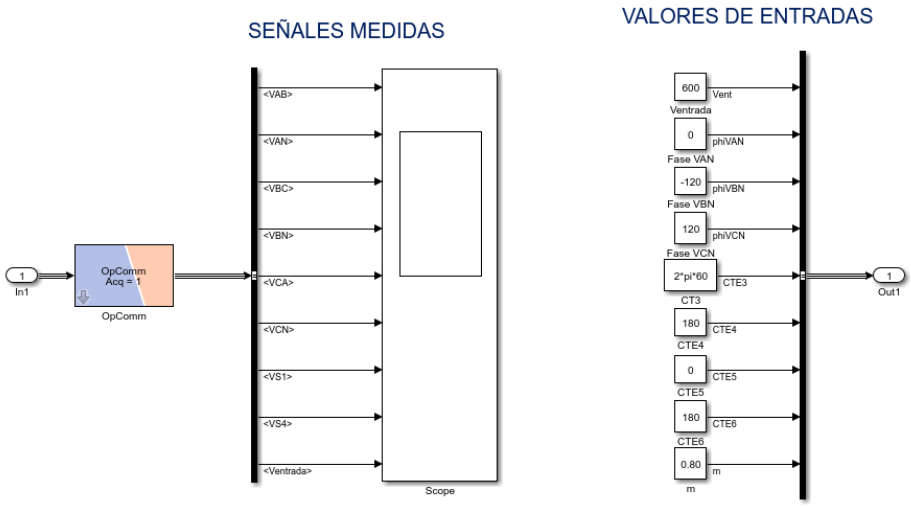



**Figura 102:** Subsistema Consola Inversor Trifásico con IGBT's Conmutación Externa.

## RESULTADOS DE SIMULAR EL INVERSOR TRIFÁSICO EN LA FPGA DEL OPAL CON CONMUTACIÓN EXTERNA

Se hicieron diferentes pruebas al modelo del inversor trifásico implementado en la FPGA del OPAL-RT, mediante conmutación externa, para distintos valores de índice de modulación, con lo cual los resultados obtenidos deben de ser señales trifásicas senoidales de mayor o menor amplitud, dependiendo del valor de m en la simulación.
El objetivo de realizar pruebas a este circuito es generar resultados que puedan ser comparados posteriormente con los resultados que se obtienen de simular el inversor con conmutación externa y en la CPU.

En la figura 103 se presentan los resultados de simulación para el inversor trifásico en la FPGA mediante conmutación externa en el OPAL-RT 4510.

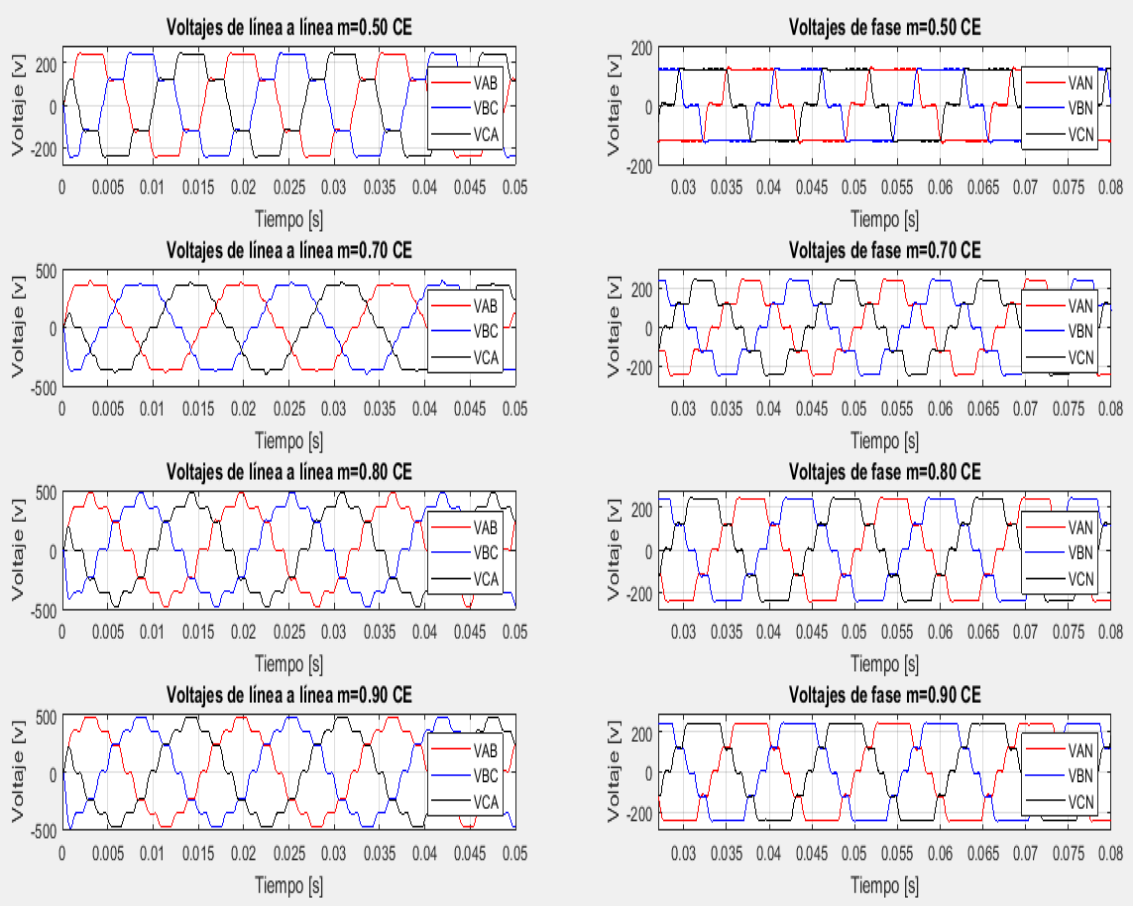



**Figura 103:** Resultados Simulación Inversor Trifásico con IGBT's EHS Conmutación Externa.

## INVERSOR TRIFÁSICO CON IGBT's EHS SOLVER CONMUTACIÓN INTERNA

Se realizó el diseño y construcción en Simulink, de un inversor trifásico con IGBT's, utilizando el EHS Solver, es decir, construyendo el modelo del inversor al interior del bloque EHS, y generando la señal de disparo de los IGBT's de manera interna, es decir, para este caso de simulación, las señales de disparo de los IGBT's no llegarán desde Simulink de forma externa, y como señales de entrada al bloque EHS, sino que serán generadas internamente en la misma FPGA del OPAL.

Para que estas señales de disparo sean generadas internamente, en cada uno de los IGBT's, los cuales se encuentran en el circuito del inversor que fue construido en el Schematic Editor, se les configura la opción de que la señal de disparo sea generada internamente por la FPGA como se muestra en la figura 104.

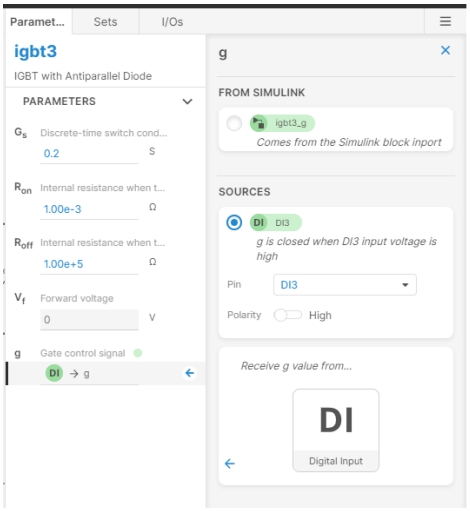



**Figura 104:** Configuración Generación Señal de disparo IGBT en la FPGA del OPAL.

Implementar las señales de disparo de los IGBT's de esta manera ofrece ventajas, ya que a diferencia del caso de conmutación externa, las señales de disparo se generaron con un tiempo de muestreo muy bajo, que es el tiempo de muestreo utilizado por la FPGA, y dando como resultado señales de disparo más precisas en comparación a cuando las señales de disparo son generadas en la CPU, por fuera al bloque EHS.

Para este caso de simulación, en el software RT-LAB, se hace la configuración para que sea internamente que se generan las señales de disparo de los IGBT's. Esto mediante el mapeo desde Simulink de dos variables que son el valor del ciclo útil para una modulación SPWM, y el valor de la frecuencia de conmutación de la señal portadora, para así generar dicho tipo de modulación.
Una vez realizado el mapeo de estos valores, se configura para que una vez dados estos valores, internamente en la FPGA se realice la modulación SPWM, y así generar las señales de disparo de los dispositivos semiconductores.

En la figura 105 se presenta el mapeo que se realiza desde Simulink a RT-LAB del ciclo útil y la frecuencia, para así realizar la modulación SPWM.

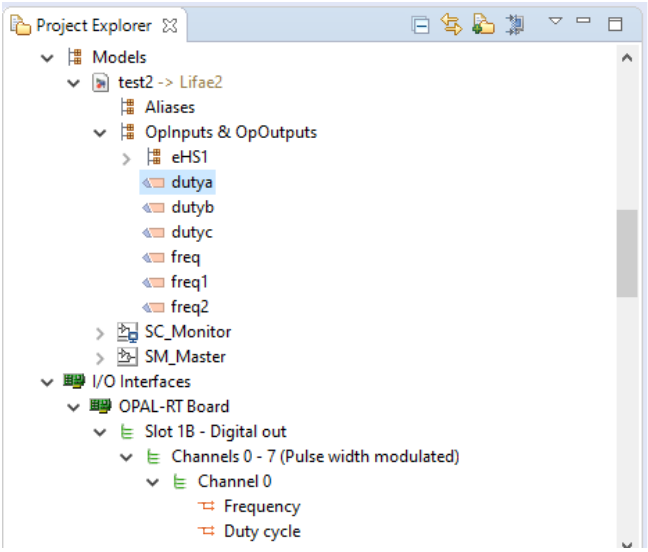



**Figura 105:** Mapeo valor ciclo útil y frecuencia de Simulink a RT-LAB.

Este modelo de conmutación interna se simuló en la FPGA de la herramienta OPAL-RT, con el objetivo de realizar mediciones de tensión e intensidad en componentes de interés del circuito, y para luego comparar las respuestas obtenidas de simular en la FPGA del OPAL tanto para conmutación interna como conmutación externa, frente a las respuestas obtenidas de realizar la simulación en la CPU del OPAL del inversor.

Los valores de los componentes del inversor trifásico con IGBT's con los que se realizaron las pruebas fueron:

- VDC=600 V ; (Voltaje de entrada DC)
- C=2200$\mu$F (Capacitores fuente DC entrada)
- R=0.001 Ω (Resistencia fuente de entrada)
- L=1.8 mH (Inductancias filtro)
- R=0.1 Ω (Resistencias filtro)
- R=7 Ω (Resistencia de carga)

Tanto para el caso cuando se simula en la FPGA del OPAL, como para el caso cuando se simula en la CPU del OPAL, el modelo del inversor trifásico debe ser dividido en subsistemas, que en este caso, se dividió en dos subsistemas, un subsistema maestro, para el cálculo y operaciones dentro del modelo físico, y un subsistema consola, para la visualización e interacción con la simulación.

En la figura 106 se presentan los subsistemas creados para la simulación en tiempo real, del modelo del inversor trifásico con IGBT's con conmutación interna.

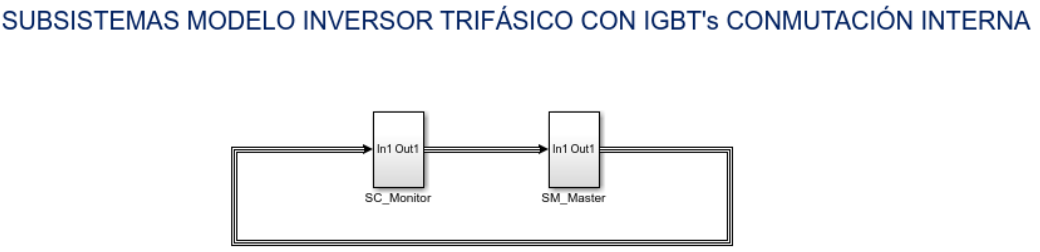



**Figura 106:** Subsistemas Inversor Trifásico con IGBT's Conmutación Interna.

En la figura 107 se presenta el subsistema maestro creado para la simulación en tiempo real, del modelo del inversor trifásico con IGBT's con conmutación interna. En este figura se muestra como las señales de disparo de los IGBT's ya no son entradas al bloque EHS dado que esas señales ahora son generadas internamente por la FPGA del OPAL-RT.

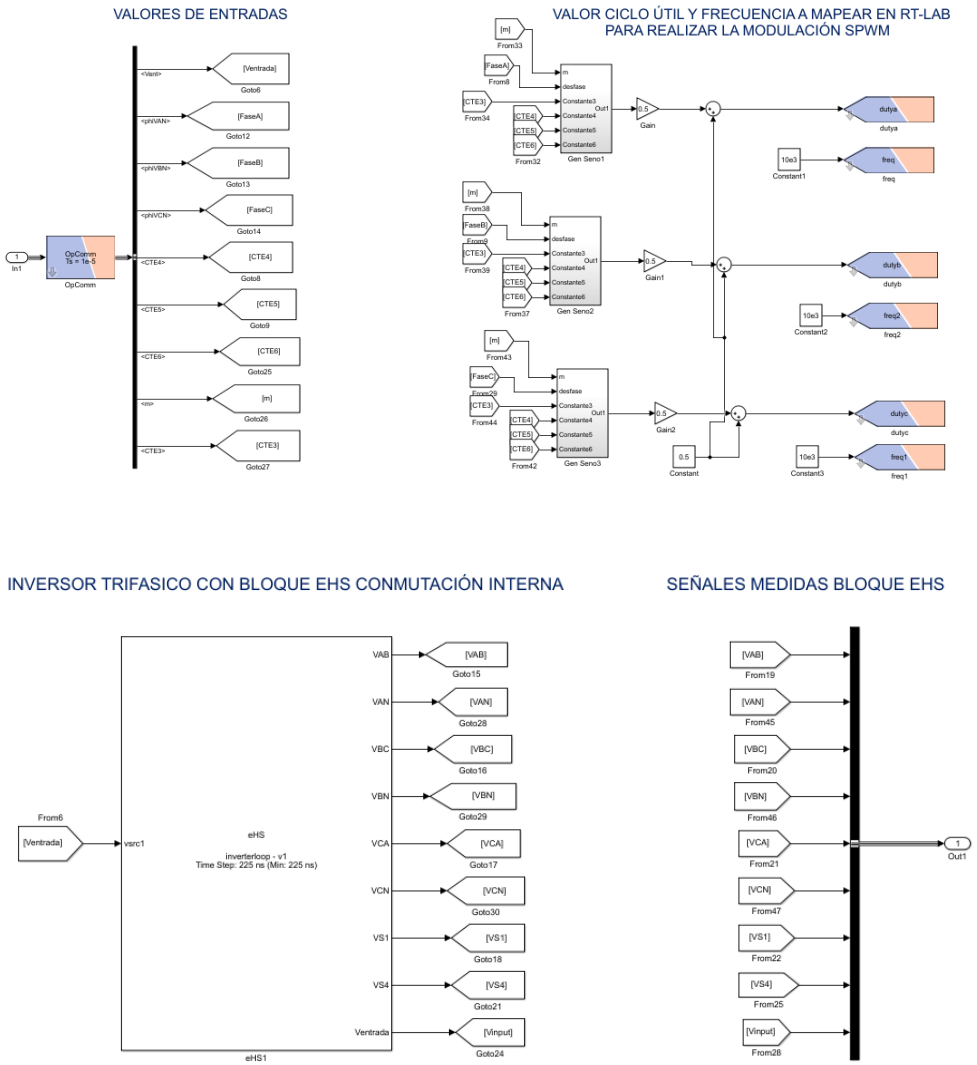



**Figura 107:** Subsistema Maestro Inversor Trifásico con IGBT's Conmutación Interna.

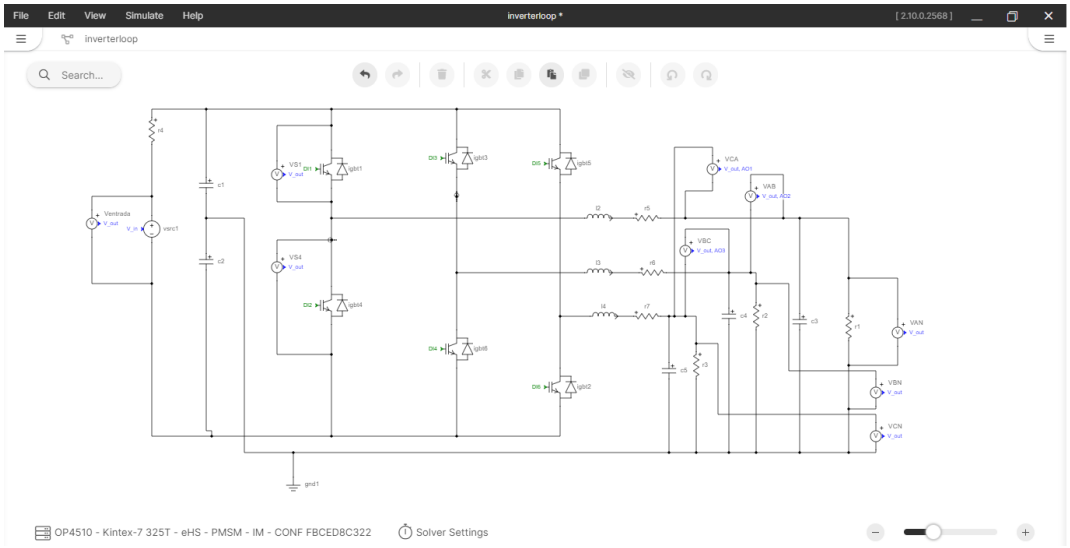



**Figura 108:** Circuito Inversor Trifásico con IGBT's construido en el Schematic Editor.

En la figura 109 se presenta el subsistema consola creado para la simulación en tiempo real, del modelo del inversor trifásico con IGBT's con conmutación interna.

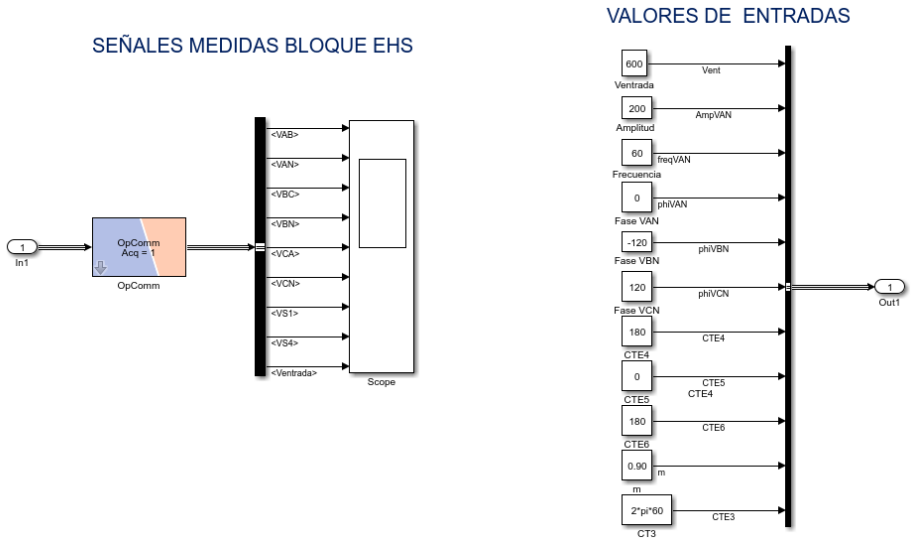



**Figura 109:** Subsistema Consola Inversor Trifásico con IGBT's Conmutación Interna.

**RESULTADOS SIMULACIÓN INVERSOR TRIFÁSICO CON IGBT's EHS CONMUTACIÓN INTERNA**

Se hicieron diferentes pruebas al modelo del inversor trifásico implementado en la FPGA del OPAL-RT, mediante conmutación interna, para distintos valores de índice de modulación, con lo cual los resultados obtenidos deben de ser señales trifásicas senoidales de mayor o menor amplitud, dependiendo del valor de m en la simulación. El objetivo de realizar pruebas a este circuito era comparar los resultados de simular mediante conmutación interna o loopback, conmutación externa, y en la CPU.

En la figura 110 se presentan los resultados de simulación para el inversor trifásico en la FPGA mediante conmutación interna en el OPAL-RT 4510.

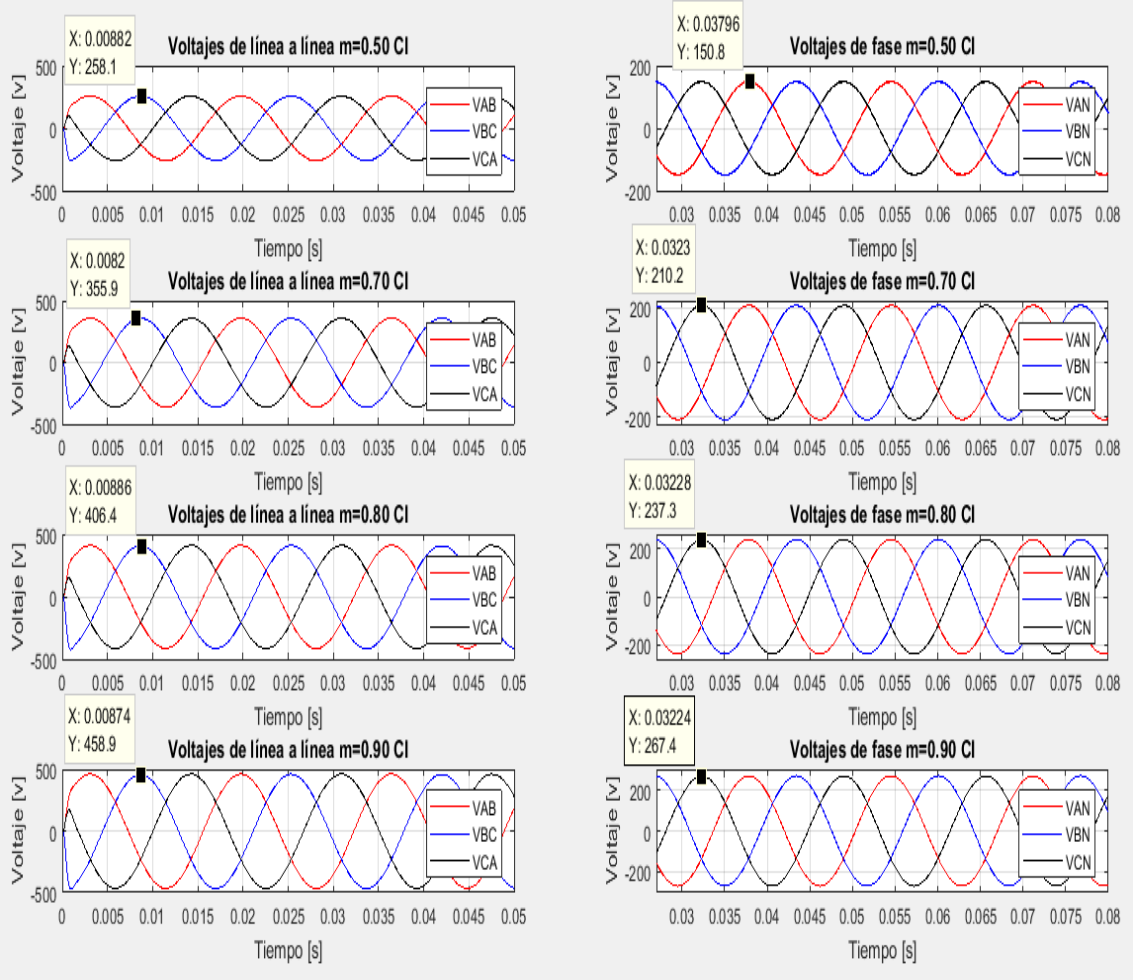



**Figura 110:** Resultados Simulación Inversor Trifásico con IGBT's EHS Conmutación Interna

# 7. COMPARACIONES ENTRE RESPUESTAS CPU Y FPGA DEL OPAL-RT 4510

## 7.1. Comparaciones simulaciones Rectificador trifásico totalmente controlado

Como parte de los objetivos del presente trabajo de grado, se estableció realizar las comparaciones entre los resultados obtenidos de simular en tiempo real el rectificador trifásico totalmente controlado con SCR's , por un lado en la FPGA del OPAL, y por otro lado en la CPU del OPAL.
Con dichas comparaciones se esparaba analizar el comportamiento del rectificador trifásico para cada caso de simulación, y evidenciar si se presentaban diferencias significativas entre cada caso de simulación.

Al realizar las comparaciones entre los resultados de simular en la FPGA y en la CPU del OPAL-RT 4510, la idea era ver si las respuestas obtenidas con el modelo simulado en la CPU, eran respuestas aceptables que se pudieran tomar como modelo para un rectificador trifásico totalmente controlado, que fuera posible simular de forma rápida en Simulink, con resultados cercanos a la realidad, y sin tener que usar una FPGA para la simulación, ya que poseer una FPGA es bastante costoso.

Para el caso del rectificador trifásico totalmente controlado, y para todos los convertidores simulados, se hizo la comparación de las respuestas obtenidas de simular el circuito bajo las mismas condiciones de diseño, esto tanto en la CPU del OPAL como en la FPGA del OPAL. Se tomaron los resultados de simulación que fueron obtenidos para el rectificador trifásico para el caso de simulación en la CPU del OPAL, y en la FPGA del OPAL, y estas respuestas se mostraron en las misma gráfica, con el fin de ver con detalle las diferencias en valores y formas de ondas, de acuerdo al caso de simulación.

En la figura 111, se presentan los resultados de simulación, para cuando el rectificador trifásico fue simulado para diferentes valores de ángulo de disparo. En la gráfica se puede apreciar dos curvas distantas, donde una corresponde al resultado de simular el rectificador en la CPU del OPAL-RT 4510, y la otra curva al resultado de simular el rectificador en la FPGA del OPAL-RT 4510.

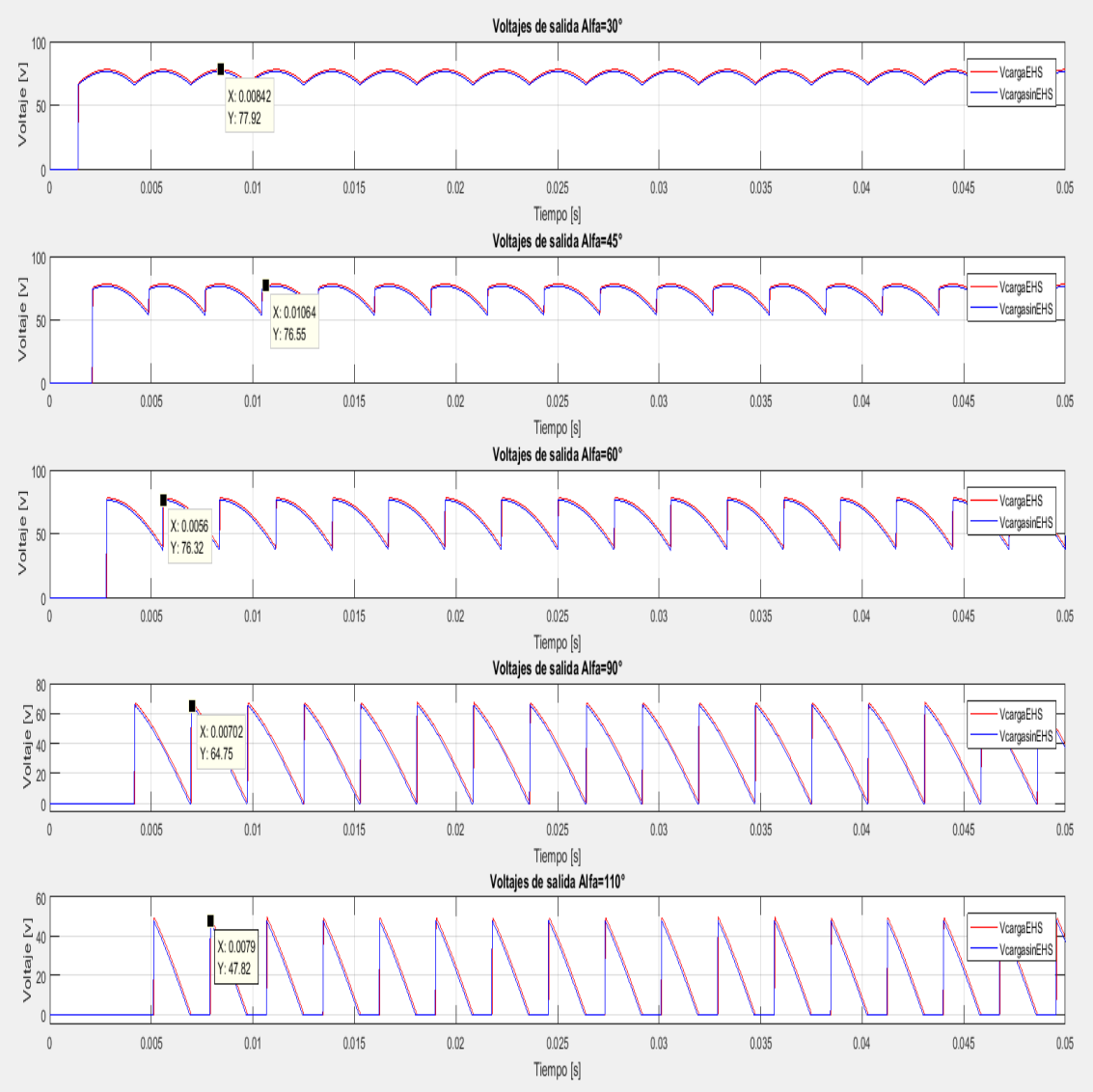



**Figura 111:** Comparación Simulación Rectificador Trifásico Totalmente Controlado.

Los resultados mostrados en la figura 111, hacen ver que para este tipo de convertidor no se presentaron los inconvenientes que se presentaron para el caso del Boost y del inversor trifásico, donde la frecuencia de muestro influyó significativamente en los resultados, dando señales distorcionadas y con valores que no eran los esperados. En este caso del rectificador trifásico se encontró de que la frecuencia de muestreo de la CPU del OPAL-RT no afecta dramáticamente lo que son las señales de disparo de los SCR's, y por consiguiente los resultados obtenidos del mismo.

## 7.2. Comparaciones simulaciones Convertidor Boost

Como parte de los objetivos del presente trabajo de grado, se estableció realizar las comparaciones entre los resultados obtenidos de simular en tiempo real el convertidor elevador Boost por un lado en la FPGA del OPAL, y por otro lado en la CPU del OPAL.
Con dichas comparaciones se esparaba analizar el comportamiento para cada caso de simulación, y evidenciar si las diferencias en cuanto a valores de tensión, corriente, formas de onda, eran muy significativas.
Al realizar las comparaciones entre los resultados de simular en la FPGA y en la CPU del OPAL, la idea era ver si las respuestas obtenidas con el modelo simulado en la CPU, eran respuestas aceptables que se pudieran tomar como modelo para un convertidor Boost que fuera posible simular de forma rápida en Simulink, con resultados cercanos a la realidad, y sin tener que usar una FPGA para la simulación debido a lo costoso de tener una FPGA.

Para el caso del convertidor Boost, y para todos los convertidores simulados, se hizo la comparación de las respuestas obtenidas de simular el circuito bajo las mismas condiciones de diseño, esto tanto en la CPU del OPAL como en la FPGA del OPAL. Se tomaron los resultados de simulación que fueron obtenidos para el convertidor Boost para el caso de simulación en la CPU del OPAL, en la FPGA del OPAL con conmutación interna y externa, y estas tres respuestas se mostraron en las misma gráfica, con el fin de ver con detalle las diferencias en valores y formas de ondas, de acuerdo al caso de simulación.

En la figura 112, se presentan en la misma gráfica los resultados de simulación, para cuando el convertidor Boost fue simulado para un valor de ciclo útil D=0.50 y una frecuencia de conmutación de 10 KHz. En la gráfica se puede apreciar tres curvas distantas, donde una corresponde al resultado de simular el convertidor en la CPU, la otra curva al resultado de simular en la FPGA con conmutación interna, y por último, la otra curva de la gráfica corresponde al resultado de simular en la FPGA con conmutación externa.

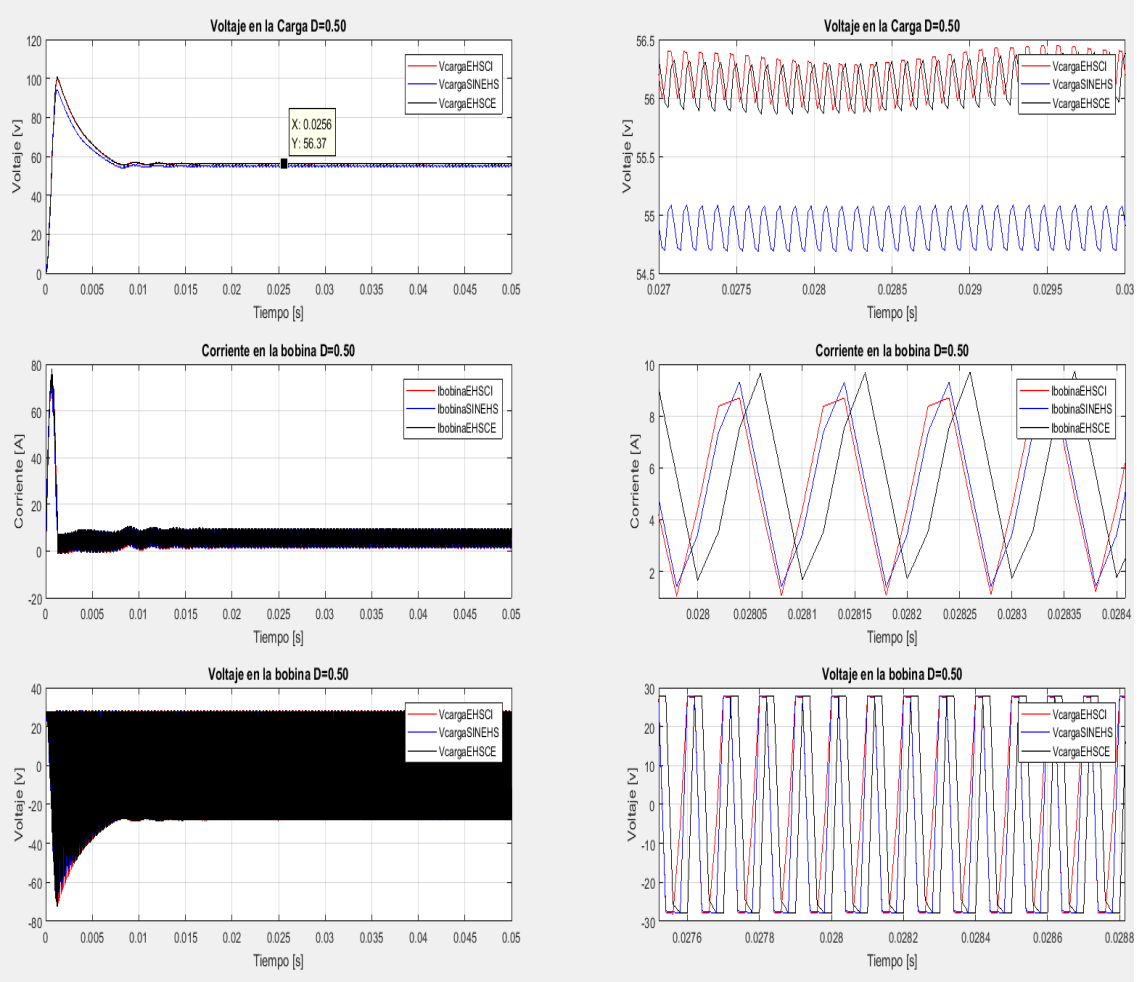



**Figura 112:** Comparaciones Resultados de simulación del Convertidor Boost D=0.50 f=10KHz.

En la figura 112, se observa que para este valor de ciclo útil y frecuencia de conmutación, se presenta una caída en el nivel de tensión de salida en el resultado de simular en la CPU del OPAL, lo que hace ver de que se producen algunas pérdidas en el circuito debido a los bloques implementados, y a que toda la simulación se realiza en el procesador del OPAL. En el resultado obtenido para cuando se simula en la FPGA, haciendo la conmutación del mosfet externamente, se presenta una pequeña diferencia en los niveles de tensión debido a pérdidas en los bloques utilizados para la conmutación externa. Los resultados para los casos de conmutación interna están de acuerdo a lo esperado.
En cuanto a las formas de onda, no se observan muchas diferencias en cuanto a simular en la CPU y en la FPGA para este valor de D y f, por lo que para este valor de ciclo útil, el convertidor opera de forma aceptable para todos los casos de simulación.

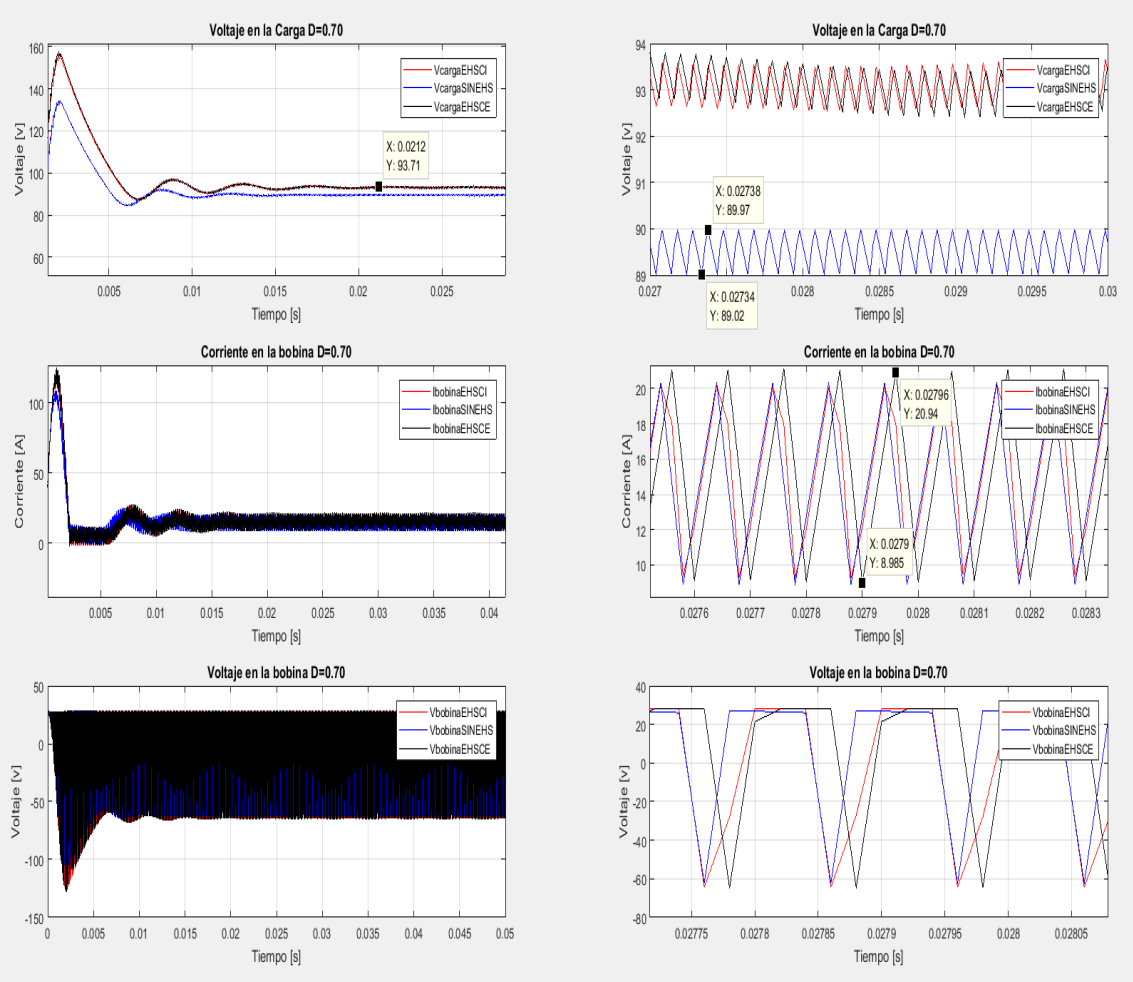



**Figura 113:** Comparaciones Resultados de simulación del Convertidor Boost D=0.70 f=10KHz.

En la figura 113 se presentan las comparaciones de simular el convertidor Boost para un ciclo útil de 0.70 y frecuencia de conmutación de 10 KHz. Para estos valores de D y f se obtuvo una respuesta aceptable en este caso. Para las respuestas del convertidor donde se simuló en la FPGA, los niveles y formas de ondas fueron los esperados. En cuanto a la respuesta del Boost en la CPU, el nivel de tensión de salida cayó levemente en comparación a la simulación con FPGA. En cuanto a formas de onda, en los tres casos se presenta mucha simulitud, por lo que no se ven diferencias significativas en este aspecto. Se puede decir que para estos valores los convertidores se comportan de manera aceptable.

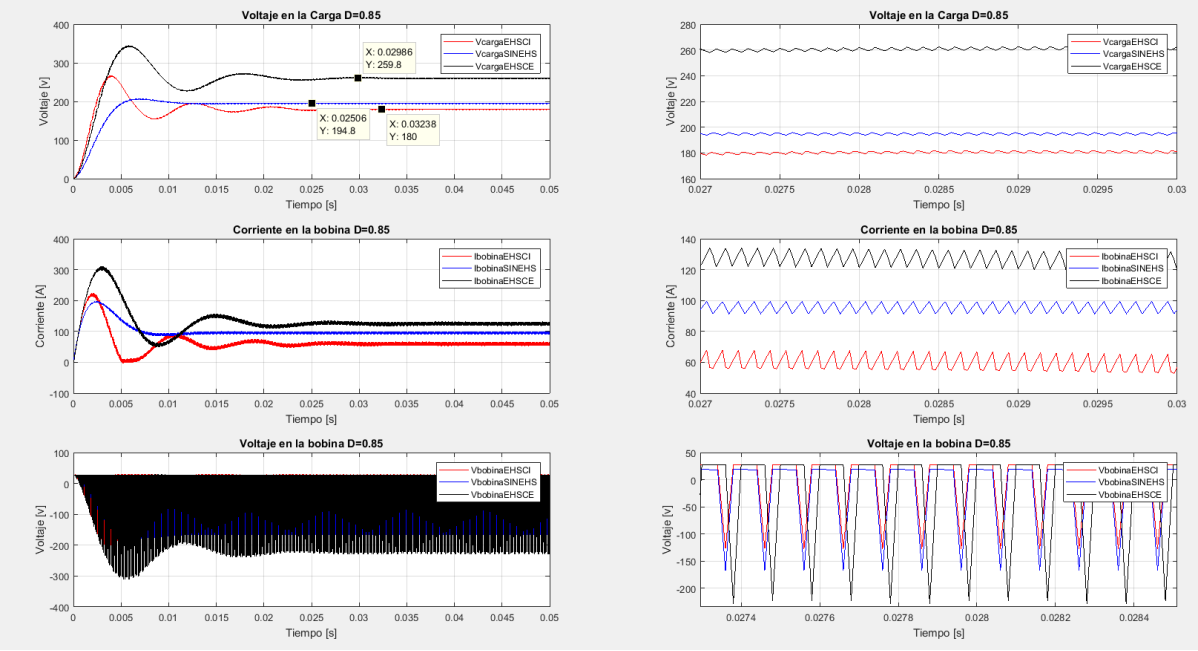



**Figura 114:** Comparaciones Resultados de simulación del Convertidor Boost D=0.85 f=10KHz.

En la figura 114, se presentan las comparaciones de simular el convertidor Boost para un ciclo útil de 0.85 y frecuencia de conmutación de 10 KHz. En este caso, se presentan diferencias en los valores obtenidos como también levemente en la forma de las señales.
Se notó que estas variaciones en las respuestas de simulación, para valores grandes de ciclo útil, es decir, de 0.80 en adelante, se debe a que hay una limitación con la capacidad de procesamiento de la CPU del OPAL. Esto debido a que la CPU del OPAL no puede procesar adecuadamente la información para ese valor de frecuencia de muestreo asignado de 100 KHz, lo que hace ver limitaciones en las simulaciones en la CPU.

En la figura 115, se presenta la medición que se realizó a la señal PWM generada mediante bloques en Simulink, para un de ciclo útil de 0.85.
En la figura se evidencia que la señal PWM generada presenta inconvenientes, ya que la señal que se está generando no posee un ciclo útil del 85 % sino de aproximadamente 90 %, lo que influye determinantemente en los resultados de salida, y representa inconvenientes en el procesamiento de los datos por parte del procesador del OPAL.

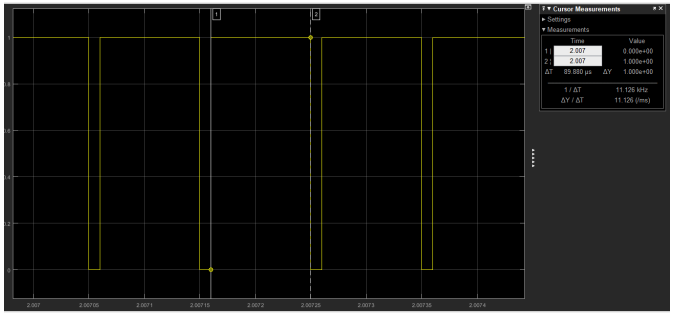


**Figura 115:** Señal PWM para un ciclo útil de 0.85.

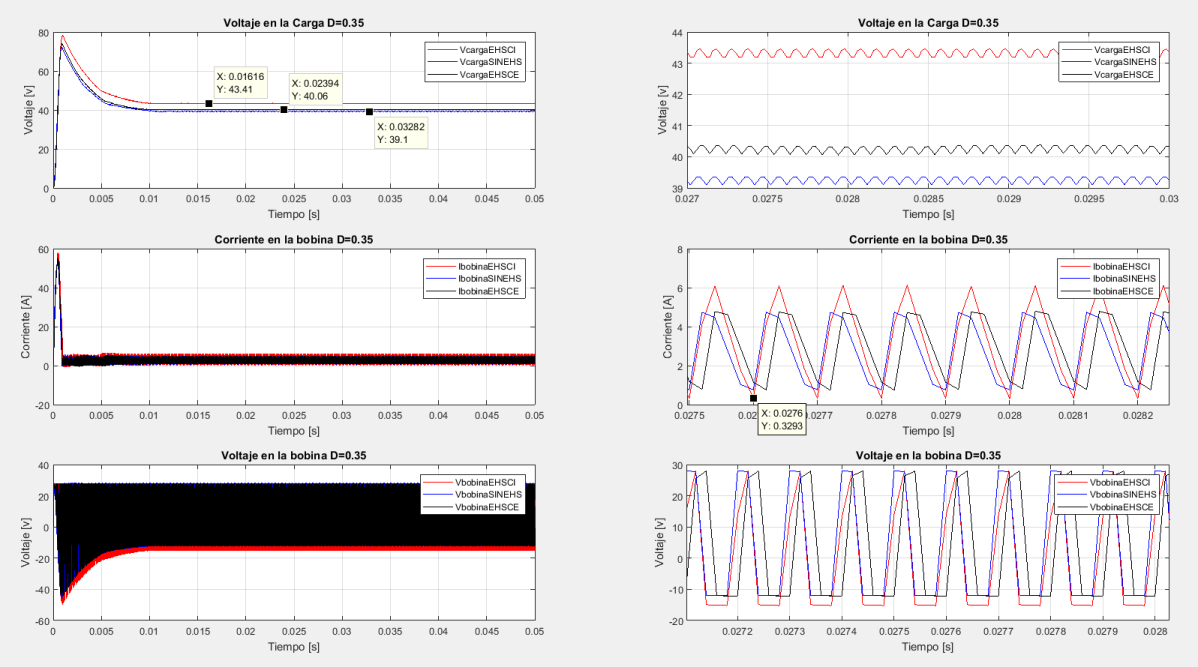



**Figura 116:** Comparaciones Resultados de simulación del Convertidor Boost D=0.35 f=10KHz.

En la figura 116, se presentan las comparaciones de simular el convertidor Boost para un ciclo útil de 0.35 y frecuencia de conmutación de 10 KHz. En este caso, se presentan diferencias en los valores obtenidos como también levemente en la forma de las señales.
Se descubrió que estas variaciones en las respuestas de simulación, para valores pequeños de ciclo útil, es decir, de 0.35 hacia abajo, se debe a que hay una limitación con la capacidad de procesamiento de la CPU del OPAL. Esto debido a que la CPU del OPAL no puede procesar adecuadamente la información para ese valor de frecuencia asignado de 100 KHz, lo que hace ver limitaciones al momento de simular en la CPU.

En la figura 117, se presenta la medición que se realizó a la señal PWM generada mediante bloques en Simulink, para un de ciclo útil de 0.35.
En la figura se evidencia que la señal PWM generada presenta inconvenientes, ya que la señal que se está generando no posee un ciclo útil del 35 % sino de aproximadamente 30 %, lo que influye determinantemente en los resultados de salida, y representa inconvenientes en el procesamiento de los datos por parte del procesador del OPAL.

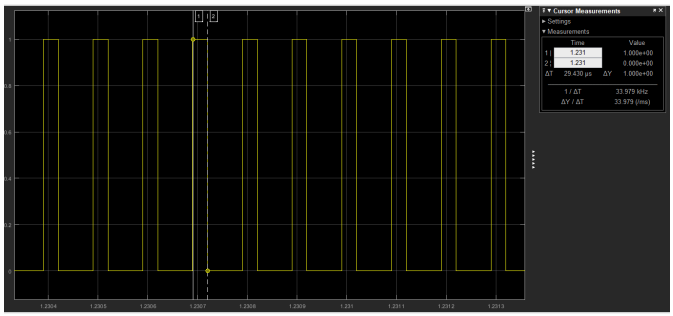


**Figura 117:** Señal PWM para un ciclo útil de 0.35.

En la figura 118 se muestran las comparaciones realizadas para el convertidor Boost variando la frecuencia entre 5 KHz, 10 KHz, y 20KHz para solo el archivo de simulación con conmutación interna. Se puede observar que para el caso de 5 KHz, el convertidor ya se comporta en modo discontinuo. Ello se debe a que el valor de la bobina es cercano al valor límite para conducción continua.

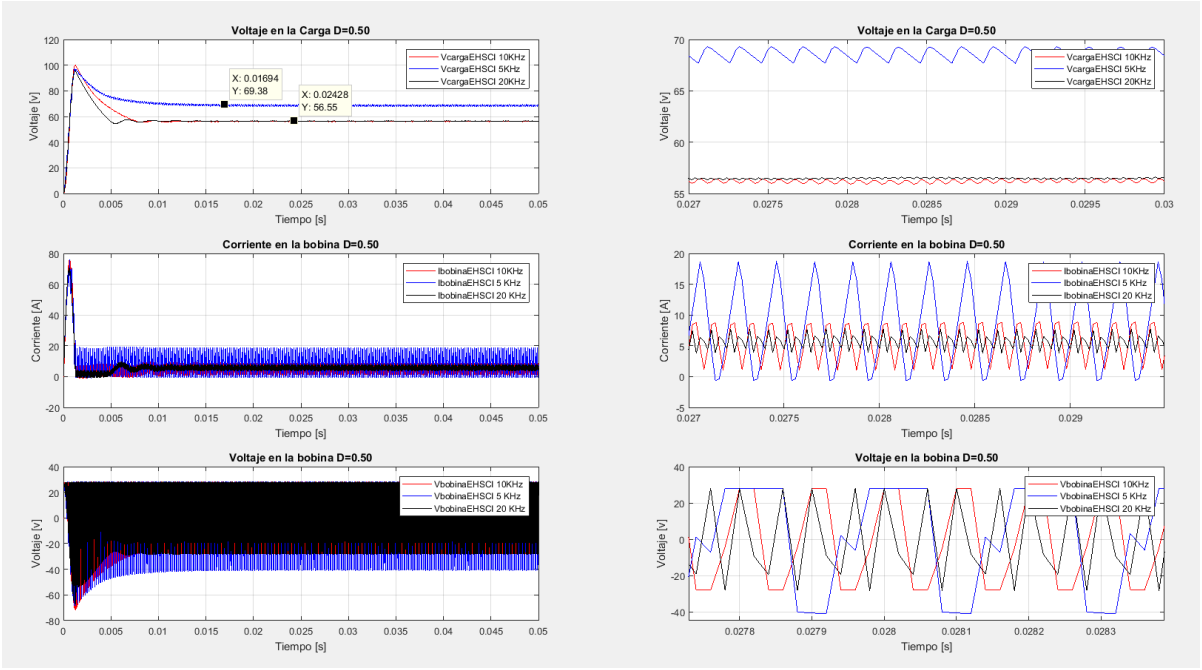



**Figura 118:** Comparación Simulación Convertidor Boost conmutación interna para diferentes frecuencias.

En la figura 119 se muestran las comparaciones realizadas para el convertidor Boost variando la frecuencia entre 5 KHz, 10 KHz, y 20KHz, para solo el archivo de simulación con conmutación externa.

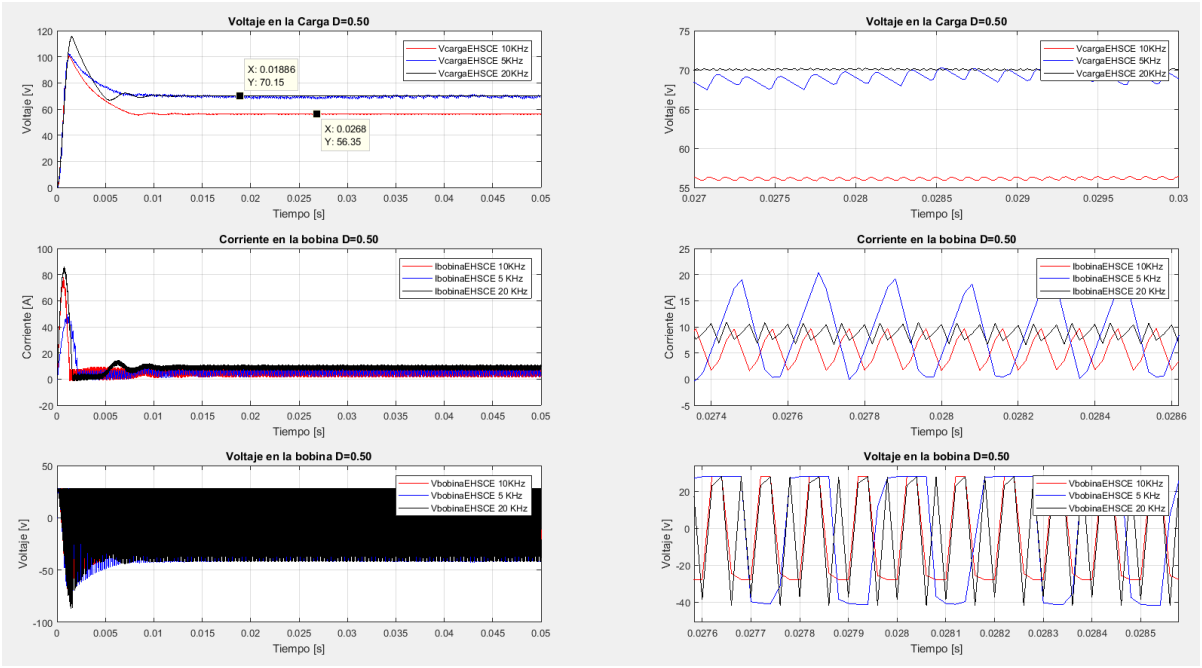



**Figura 119:** Comparación Simulación Convertidor Boost diferentes frecuencias Conmutación Externa.

En la figura 120 se muestran las comparaciones realizadas para el convertidor Boost variando la frecuencia entre 5 KHz, 10 KHz, y 20KHz, para solo el archivo de simulación en la CPU del OPAL.

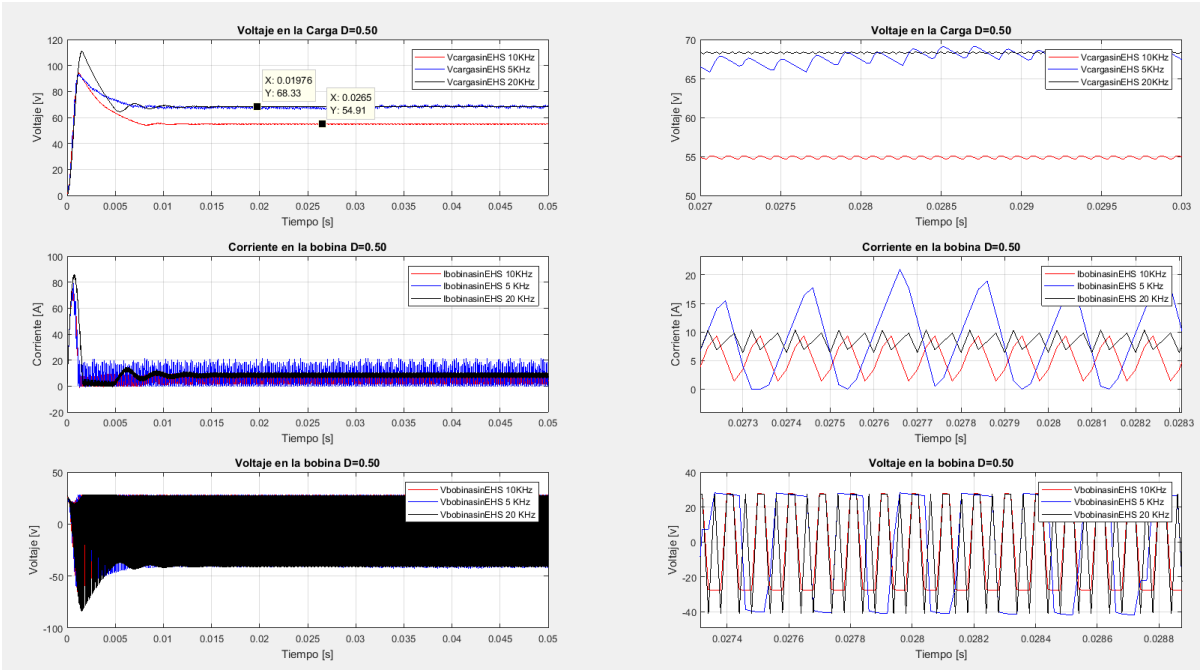



**Figura 120:** Comparación Simulación Convertidor Boost diferentes frecuencias SIN EHS discontinuo.

En la figura 121 se presentan las comparaciones realizadas para el convertidor Boost tomando solo la frecuencia 20 KHz, y mostrando en la misma gráfica la respuesta para esa frecuencia del convertidor

Boost simulado en la CPU, y en la FPGA mediante conmutación interna y externa.

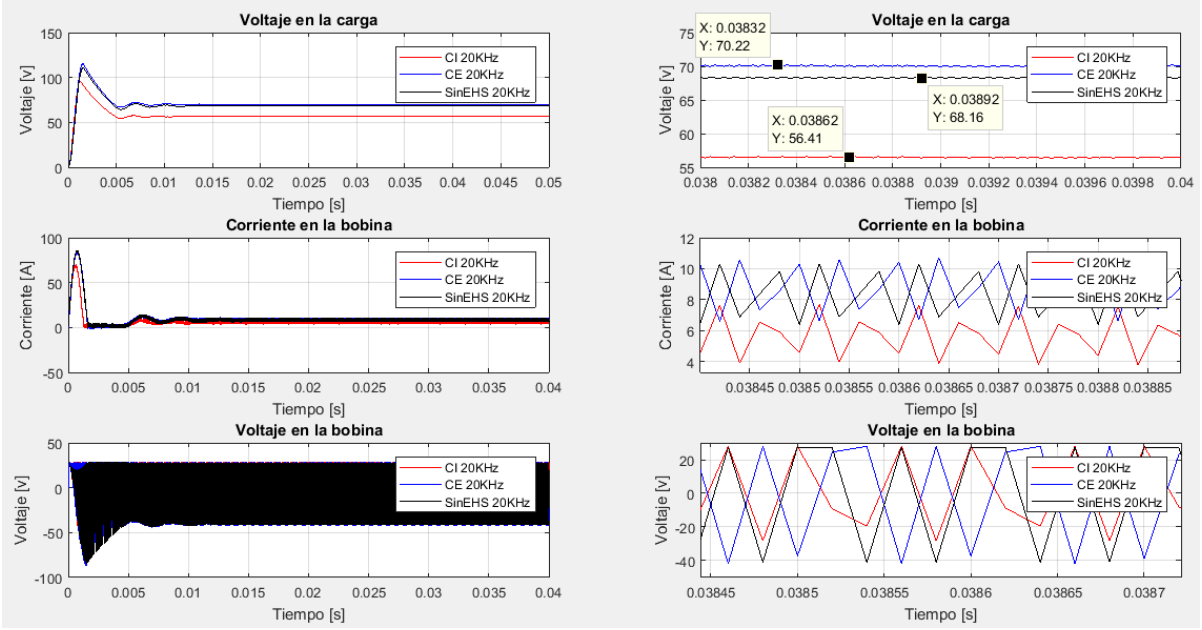



**Figura 121:** Comparación Simulación Convertidor Boost a 20 KHz para CI, CE y SIN EHS.

En la figura 122 se presentan las comparaciones realizadas para el convertidor Boost tomando solo la frecuencia 5 KHz, y mostrando en la misma gráfica la respuesta para esa frecuencia del convertidor Boost simulado en la CPU, y en la FPGA mediante conmutación interna y externa.

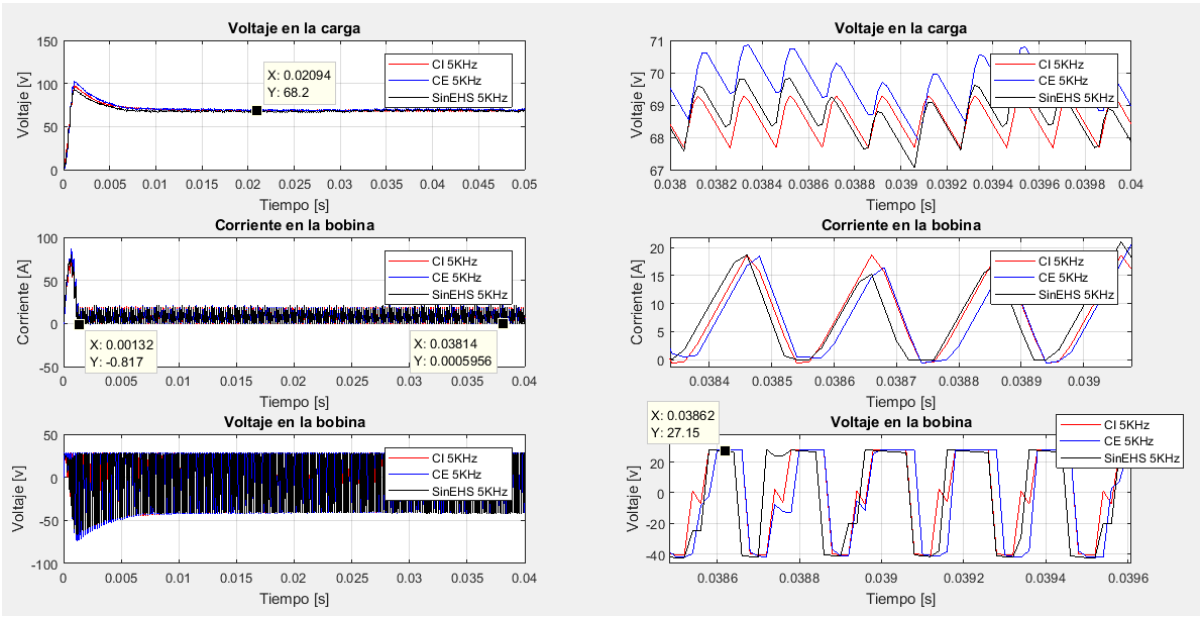



**Figura 122:** Comparación Simulación Convertidor Boost a 5 KHz para CI, CE y SIN EHS.

## 7.3. Comparaciones simulaciones Inversor Trifásico

Como parte de los objetivos del presente trabajo de grado, se estableció realizar las comparaciones entre los resultados obtenidos de simular en tiempo real el inversor trifásico con IGBT's, por un lado en la FPGA del OPAL, y por otro lado en la CPU del OPAL.
Con dichas comparaciones se esparaba analizar el comportamiento del inversor para cada caso de simulación, y evidenciar si las diferencias en cuanto a valores de tensión, corriente, formas de onda, eran muy significativas.

Al realizar las comparaciones entre los resultados de simular en la FPGA y en la CPU del OPAL-RT 4510, la idea era ver si las respuestas obtenidas con el modelo simulado en la CPU, eran respuestas aceptables que se pudieran tomar como modelo para un inversor trifásico que fuera posible simular de forma rápida en Simulink, con resultados cercanos a la realidad, y sin tener que usar una FPGA para la simulación.

Para el caso del inversor trifásico con IGBT's, y para todos los convertidores simulados, se hizo la comparación de las respuestas obtenidas de simular el circuito bajo las mismas condiciones de diseño, esto tanto en la CPU del OPAL como en la FPGA del OPAL. Se tomaron los resultados de simulación que fueron obtenidos para el inversor trifásico para el caso de simulación en la CPU del OPAL, en la FPGA del OPAL con conmutación interna y externa, y estas tres respuestas se mostraron en las misma gráfica, con el fin de ver con detalle las diferencias en valores y formas de ondas, de acuerdo al caso de simulación.

En la figura 123, se presentan los resultados de simulación, para cuando el inversor fue simulado para un valor de índice de modulación de 0.70. En la gráfica se puede apreciar tres curvas distantas, donde una corresponde al resultado de simular el inversor en la CPU del OPAL-RT 4510, la otra curva al resultado de simular en la FPGA con conmutación interna, y por último, la otra curva de la gráfica corresponde al resultado de simular en la FPGA con conmutación interna.

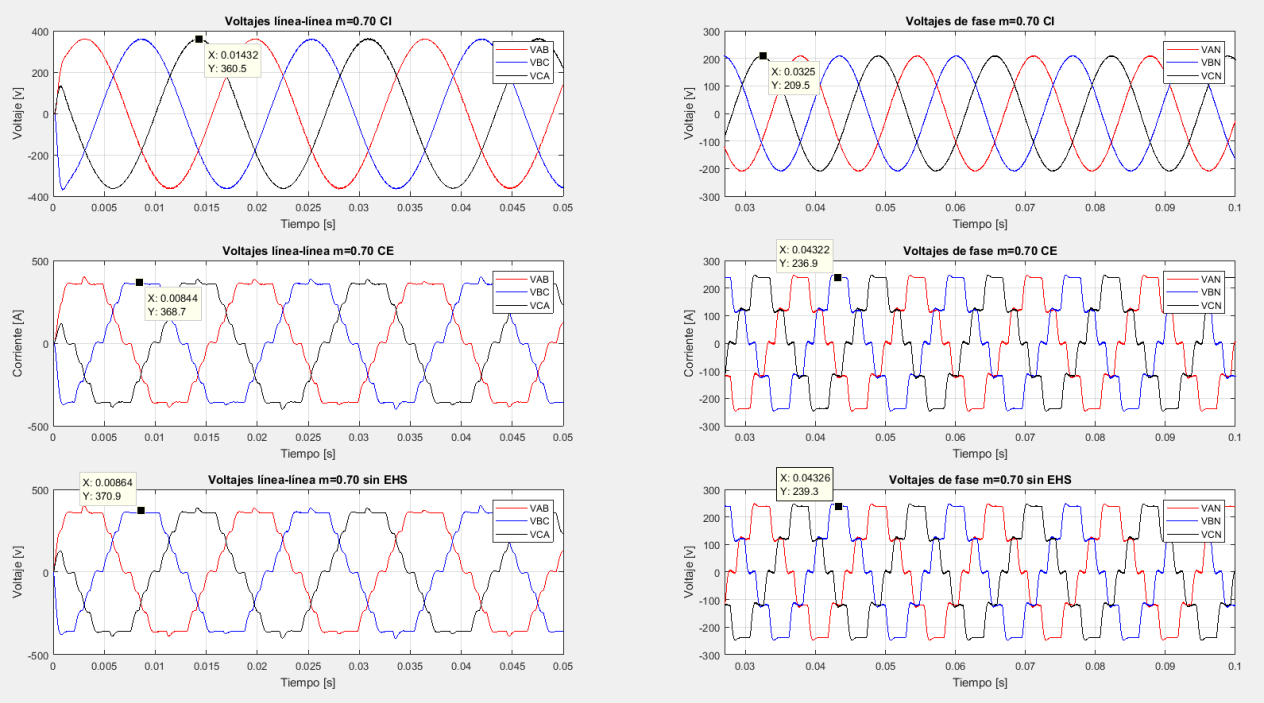



**Figura 123:** Comparación Simulación Inversor Trifásico con IGBT's m=0.70.

Como se puede apreciar en la imágen 123, los resultados de simulación que fueron obtenidos para cuando se simuló el inversor trifásico en la FPGA mediante conmutación interna, fueron resultados convincentes, dado que tanto las tensiones de fase y de línea para este caso fueron de un valor esperado, y manteniendo una forma de onda senoidal adecuada.
Para los casos cuando el inversor se simuló en la CPU del OPAL-RT y en la FPGA mediante conmutación externa, los resultados obtenidos difieren de los esperados, ya que como se puede ver en la imágen, las tensiones de línea y de fase resultantes no mantienen una forma senoidal adecuada, sino que se presenta mucha distorición en las señales, y además de valores de tensiones que no concuerdan con los esperados.

Como se mencionó en las comparaciones hechas al convertidor Boost, estas señales distorcionadas resultantes, se deben a que el procesador o CPU del OPAL-RT se queda corto al momento de realizar el procesamiento de la información para la frecuencia de muestreo fijada para las simulaciones en tiempo real en el OPAL-RT.
El valor de 100 KHz como frecuencia de muestreo para la CPU, parece ser un valor alto de frecuencia y para el cual el procesador ya no computa adecuadamente los datos, lo que significa que se está "sobreesforzando"la capacidad que tiene el procesador al asignar esa frecuencia de muestreo.
Para el caso de conmutación interna, los resultados fueron los esperados dado que la conmutación de los IGBT's se realizó internamente en la FPGA, a una velocidad y precisión mayor, lo que se refleja en los resultados.

En la figura 124, se presentan los resultados de simulación, para cuando el inversor fue simulado para un valor de índice de modulación de 0.80, evidenciando los mismos resultados en cuanto a la distorción presentada para el caso de simulación en la CPU del OPAL y en la FPGA mediante conmutación externa.

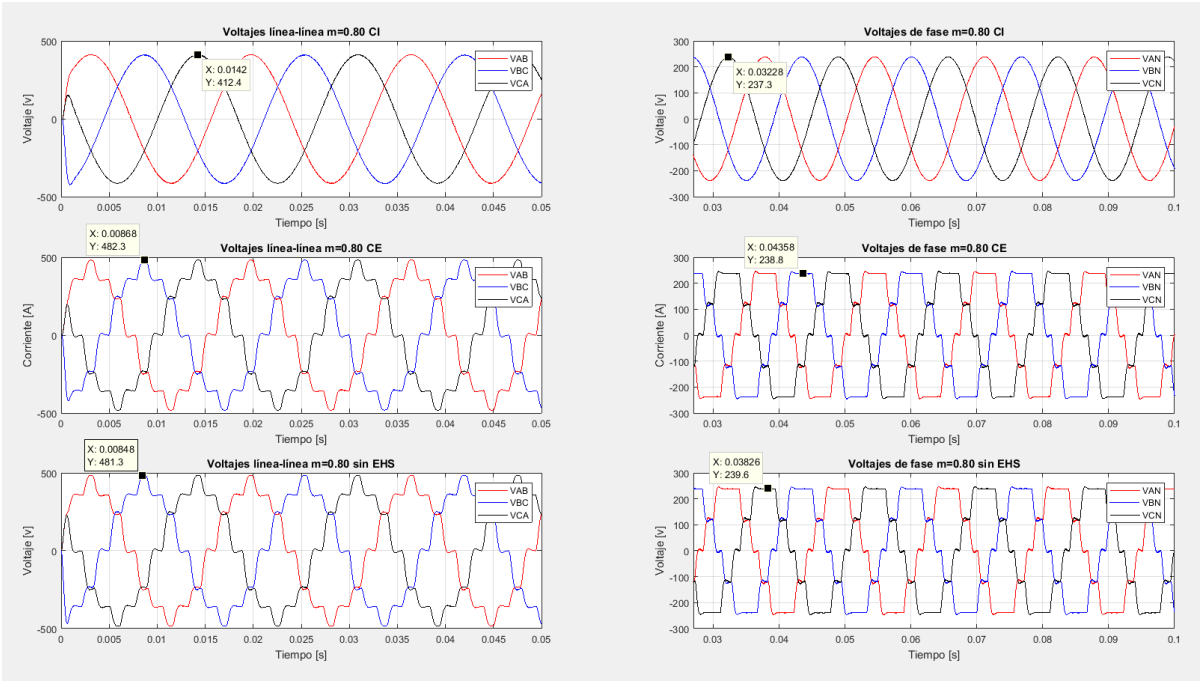



**Figura 124:** Comparación Simulación Inversor Trifásico con IGBT's m=0.80.

En la figura 125, se presentan los resultados de simulación, para cuando el inversor fue simulado para un valor de índice de modulación de 0.90, evidenciando los mismos resultados en cuanto a la distorción presentada para el caso de simulación en la CPU del OPAL y en la FPGA mediante conmutación externa.

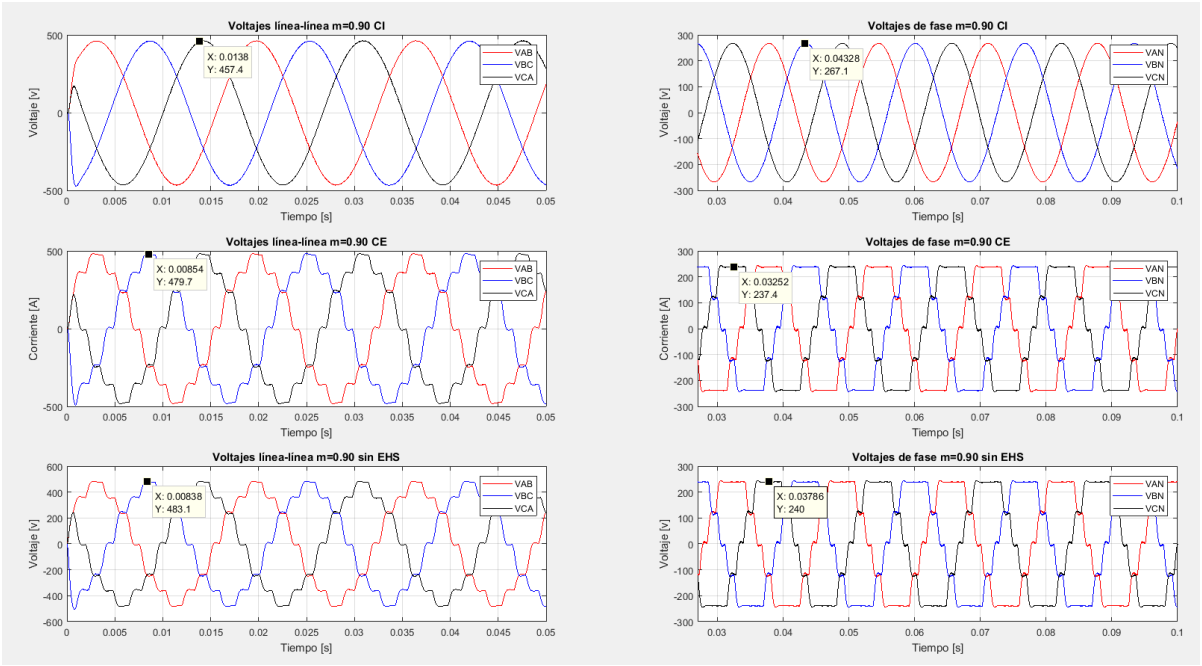



**Figura 125:** Comparación Simulación Inversor Trifásico con IGBT's m=0.90.

En la figura 126, se presentan los resultados de simulación, para cuando el inversor fue simulado para

un valor de índice de modulación de 0.50, evidenciando los mismos resultados en cuanto a la distorción presentada para el caso de simulación en la CPU del OPAL y en la FPGA mediante conmutación externa.

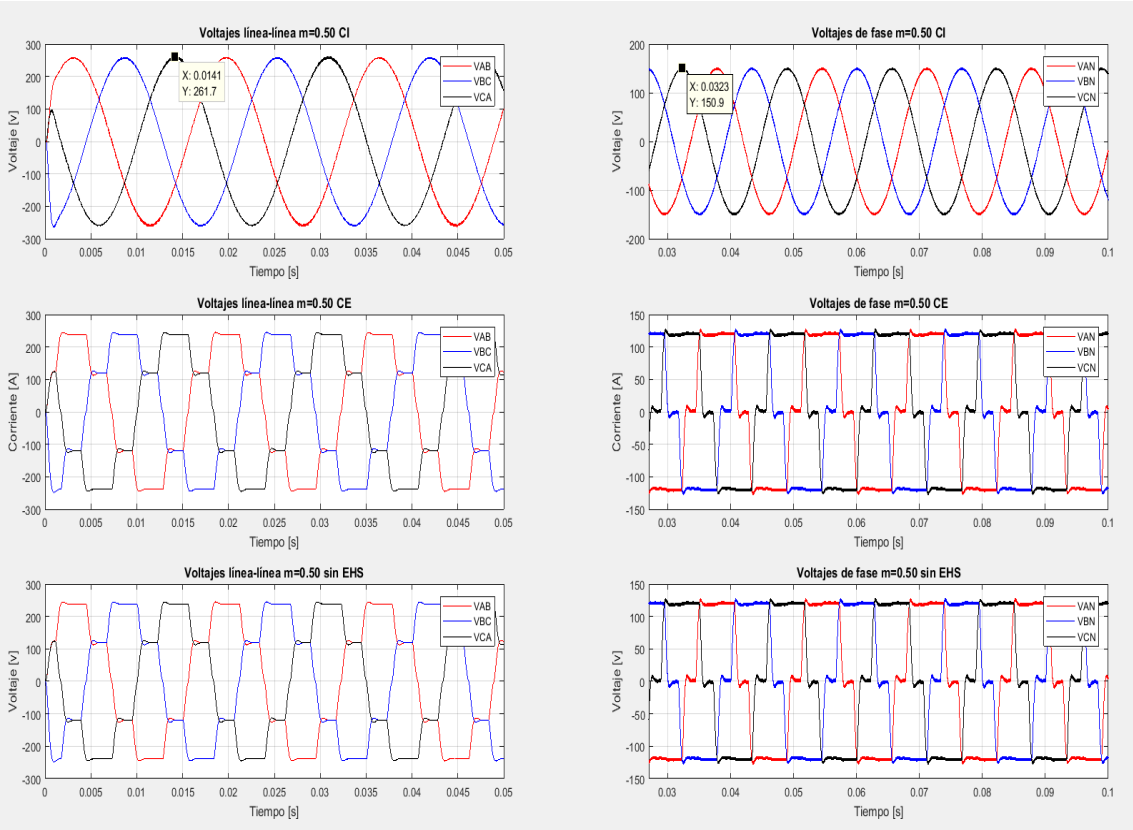



**Figura 126:** Comparación Simulación Inversor Trifásico con IGBT's m=0.50.

# 8. ANÁLISIS DE RESULTADOS

## 8.1. Modelos utilizables y limitaciones

De acuerdo a los resultados obtenidos para cada convertidor, y las comparaciones hechas en cada uno de estos, se puede decir lo siguiente:

Para el caso del convertidor elevador (Boost) simulado tanto en la CPU como en la FPGA, se presentaron algunos inconvenientes en los resultados obtenidos para ciertos valores de ciclo de trabajo y frecuencia. Cuando se simuló el convertidor Boost en la FPGA del OPAL-RT 4510, mediante conmutación interna, los resultados obtenidos fueron de acuerdo a lo esperado, esto debido a que la señal de disparo para el mosfet fue generada internamente en la FPGA, y no externamente, lo que influyó significativamente, y para bien, en los resultados obtenidos, ya que al generar la o las señales de disparo en la misma FPGA del OPAL, estas señales de disparo son generadas a mayor velocidad y precisión.

Para cuando el convertidor Boost fue simulado en la CPU del OPAL, y en la FPGA mediante conmutación externa, los resultados obtenidos fueron adecuados para ciertos valores de ciclo útil y de frecuencia, pero también se obtuvieron resultados que no eran los esperados para valores de ciclo útil o muy altos o muy bajos, como ocurrió cuando se simuló el convertidor para valores de ciclo útil de 0.35 y 0.85. Esto se debió a que las señales de disparo que son generadas a la frecuencia de muestreo de la CPU del OPAL, presentan valores erróneos debido a que cuando las variaciones son muy pequeñas, el procesador no computa bien esos cambios, y es por eso que cuando se simula para un ciclo útil de 0.35, la señal de disparo generada para el mosfet no posee un ciclo útil del 35 % sino de aproximadamente 30 %, lo cual ya afecta los resultados esperados. Para cuando se seleccionó un valor de ciclo útil del 85 %, el valor del ciclo útil real generado por la CPU del OPAL fue del 90 % lo cual representa una disparidad en los resultados esperados del convertidor.

De acuerdo a lo anterior, se puede decir que el modelo construido para simular el convertidor Boost en la CPU del OPAL-RT 4510, funciona bien para ciertos valores de ciclo útil y de frecuencia, pero para otros valores de ciclo útil y de frecuencia, el modelo ya es limitado, esto debido a la limitación que tiene la CPU del OPAL para hacer el procesamiento de los datos a la frecuencia de muestreo de la CPU del OPAL.

Dependiendo de lo que se vaya a simular, este modelo construido puede o no ser fiable. Si se va a hacer un trabajo a nivel de electrónica de potencia donde es muy importante la conmutación de los dispositivos, ya se tendrían limitaciones si se va a simular usando el procesador del OPAL. Es por ello la importancia de la licencia del OPAL-RT 4510 que posee el laboratorio del LFAE en la universidad, ya que mediante esta licencia es posible realizar las simulaciones internamente en la FPGA y obteniendo resultados más reales que cuando se utiliza el procesador para la conmutación de los dispositivos.

Para el caso del inversor trifásico con IGBT's, el modelo implementado y simulado en la CPU del OPAL-RT, no genera resultados adecuados debido al inconveniente de que el procesador del OPAL se queda corto en el procesamiento de los datos, lo cual hace que no se generen correctamente las señales de disparo de los IGBT's, y por lo tanto se obtengan resultados de simulación como los expuestos en este documen-

to.
Para que este modelo del inversor trifásico se pueda simular en el OPAL-RT 4510, obteniendo buenos resultados, la simulación debe realizarse sí o sí generando las señales de disparo internamente en la FPGA, dado que de esta manera se evidenció que los resultados obtenidos sí son los esperados. Generando las señales de disparo de los IGBT's externamente, es decir, a la frecuencia de muestreo de la CPU del OPAL, los resultados no son los esperados debido a las limitaciones en la velocidad de muestreo de la CPU del OPAL-RT.

Para el caso del rectificador trifásico con SCR's, el modelo implementado y simulado en la CPU del OPAL-RT, genera resultados adecuados debido a que para este modelo en particular,el procesador del OPAL no presenta estas limitaciones que sí se presentaron para el caso del convertidor Boost, y del inversor trifásico, y por lo tanto se pueda decir que el modelo del rectificador trifásico totalmente controlado con SCR's y simulado en la CPU del OPAL-RT genera resultados aceptables.

## Limitaciones

Se pudo evidenciar que para realizar la simulación en tiempo real de algunos convertidores de potencia en el OPAL-RT 4510, se presentan limitaciones en las respuestas obtenidas para dichos circuitos, esto debido a las limitaciones de procesamiento de la CPU del OPAL, la cual hace que las señales de disparo de los dispositivos no sean las correctas, y con ello se generan resultados que no están de acuerdo a la realidad.
En general, para que estos convertidores de potencia puedan ser simulados exitosamente en la herramienta del OPAL-RT 4510, en lo posible se deben realizar las simulaciones haciendo que las señales de disparo de los dispositivos se genere internamente en la misma FPGA, y no externamente a ésta. Para algunos casos, la simulación en la CPU del OPAL, genera resultados aceptables, esto es, para el caso del convertidor Boost, para valores de ciclo útil medios aproximadamente, ya que para valores de ciclo útil o muy grandes o muy pequeños, los resultados ya presentan limitaciones.

Para el caso de inversor trifásico, las señales de disparo deben ser generadas en la misma FPGA, porque de lo contrario, los resultados presentan fallas debido a la limitación en el procesamiento de la CPU. El modelo construido para el rectificador trifásico simulado en la CPU del OPAL, genera resultados adecuados, por lo que para este convertidor, el modelo simulado en la CPU del OPAL puede ser tomado para que pueda ser simulado sin FPGA, y generando resultados cercanos a la realidad.

# 9. CONCLUSIONES Y RECOMENDACIONES

Del desarrollo del presente trabajo de grado se pudieron sacar importantes conclusiones como:

- Para realizar una simulación en tiempo real en la herramienta del OPAL-RT 4510, mediante el software de RT-LAB, es indispensable dividir el modelo construido en Simulink en subistemas, ya que no de hacerlo de esta manera, el software de RT-LAB genera errores para cargar y simular el modelo construido. Estos subsistemas en los que se divide el modelo, son el subsistema de computación, en el cual se construye el circuito propiamente a simular, y el subsistema consola, que es el subsistema con el que el usuario interactúa al momento de ejecutarse la simulación en tiempo real, además de que en este subsistema también se colocan constantes que actúan como entradas para el subsistema maestro.

- Se pudo evidenciar que el tiempo de muestreo de simulación, es una parámetro trascendental al momento de ejecutar las simulaciones en tiempo real, ya que del valor de este parámetro dependen radicalmente los resultados generados de la simulación en tiempo real. Mediante la implementación y simulación de algunos convertidores electrónicos de potencia se pudo comprobar de ello; ya que se evidenció de que las señales de disparo generadas para los interruptores, por ejemplo para el caso del mosfet, la señal de disparo generada para algunos valores de ciclo útil, no correspondía a una señal que tuviera el ciclo útil esperado, lo cual influyó considerablemente en los resultados. Esto se debió debido a que al ejecutar las simulaciones en la CPU del OPAL-RT, se presentan limitaciones, debido a que el procesador no trabaja adecuadamente para tiempos de muestreo bajos, como por ejemplo 10 $\mu$s, que fue el tiempo de muestreo establecido para realizar las simulaciones en la CPU del OPAL, en el presente trabajo de grado. Esta limitación de computo del procesador durante las simulaciones, se evidenció en mayor medida para cuando se hizo la simulación de inversor trifásico con IGBT's, dado que allí las señales trifásicas obtenidas estuvieron lejanas a las señales esperadas.

- Si se quiere realizar una simulación en tiempo real en la herramienta del OPAL-RT 4510, y que de dicha simulación se obtengan los mejores resultados, esto se obtiene si el circuito es simulado completamente en la FPGA del OPAL, ya que allí se ejecutará la simulación a mayor velocidad y mayor precisión, siendo los resultados los más cercanos a la realidad, comparado a los casos de simulación en la CPU del OPAL, aclarando que para algunos casos la simulación en la CPU del OPAL-RT es muy cercano o igual a lo esperado.

# Agradecimientos

Agradecerle a mi familia y amigos que han estado incondicionalmente para mí, al ingeniero Nelson Leonardo Diaz Aldana, a quien quisiera expresar mi más profundo agradecimiento por su valiosa orientación, y habilidad para transmitir conocimientos de manera clara y efectiva, ya que han sido fundamentales. Su influencia en mi vida académica y profesional será siempre recordada y apreciada. Agradecerle a la gloriosa Universidad Distrital Francisco José de Caldas por darme la oportunidad no solo de crecer como profesional sino también como persona.

# 10. REFERENCIAS

## Referencias


[1] "Simulación en tiempo real." hmn.wiki/es/N-body_simulation

[2] "Pruebas hardware-in-the-loop (HIL) para electrónica de potencia." la.mathworks.com/solutions/electrification/hardware-in-the-loop.html#:˜ text=Las pruebas hardware-in-the,opera dentro de las especificaciones

[3] Beat Arnet, "PLECS Goes Real-Time: A New HILSystem for Power Electronics," 2016. eepower.com/technical-articles/plecs-goes-real-time-a-new-hil-system-for-power-electronics/

[4] Plexim, "RT Box 1." https://www.plexim.com/products/rt_box/rt_box_1

[5] S. . MEGACAL INSTRUMENTS IBÉRICA, "TYPHOON HIL402. Simulador HIL con FPGA de 4 nucleos, compacto y muy potente." https://www.megacal.com/productos-potencia-energia/ficha-producto.php?id_prod=251url_subcat=simuladores-sistemas-electronica-potencia-tiempo-real.php.phptit_subcat= Simuladores_de_Sistemas_de_Electronica_de_Potencianombre_subcat=Simuladores_de_Sistemas_de_Electronica_de_Potencia

[6] OPAL-RT TECHNOLOGIES, "eHS FPGA-based Power Electronics Toolbox." opal-rt.atlassian.net/wiki/spaces/PFPET/pages/65278199/Introduction

[7] R. R. C. P. H. I. L. System, "OP4510 Simulator," pp. 2–3, 2015.

[8] F. A. L. Cabrera, Simulación en Tiempo Real de Topologías de Convertidores Estáticos para Paneles Solares Fotovoltaicos en el Equipo OPAL-RT, Concepción : Universidad de Concepción, 2018.

[9] T. Blasi, Application-Oriented Course, Power Electronics Real-Time Simulation with eHS Gen4 Schematic Editor Workflow, OPAL-RT Academy, Universidad Distrital Francisco José de Caldas, Bogotá, 2023.

[10] R. G. Bernal, Implementación y simulación en tiempo real de un algoritmo de control para convertidores de potencia aplicado a energías renovables, Sevilla: Universidad de Sevilla, Dep. Ingeniería Electrónica, 2017.

[11] D. W. Hart, Electrónica de Potencia, Madrid: PEARSON EDUCACIÓN. S.A., 2001.

[12] F. Larenas, "Simulación en Tiempo Real de Topologías de Convertidores Estáticos para Paneles Solares Fotovoltaicos," Univ. Concepción, pp. 49–65, 2018.

[13] E. Lozada, Rectificador Controlador trifásico de Onda Completa a base SCR's con Carga Resistiva, Guadalajara: Maestría en Ciencias en Ingeniería Eléctrica, Universidad Guadalajara.

[14] E. V. García, Consideraciones de diseño para un circuito de disparo de tiristores en un rectificador trifásico totalmente controlado, Pereira: Universidad Tecnológica de Pereira, Facultad de Ingenierías, Programas de Ingeniería Eléctrica, 2017.

[15] S. Singh and B. Jain, "Real Time Simulation of Power Electronic Converters," 2018 Int. Conf. Control. Power, Commun. Comput. Technol. ICCPCCT 2018, pp. 450–454, 2018, doi: 10.1109/ICCPCCT.2018.8574259.

[16] E. Z. Ratia, "Puesta en marcha de una plataforma de simulación en tiempo real para el estudio de la operación de convertidores de potencia mediante técnicas Hardware-in-the-loop," Puesta en marcha una plataforma simulación en tiempo real para el Estud. la operación Convert. potencia Median. técnicas Hardware-in-the-loop, 2021.

[17] M. C. B. P. R. Yago F. Oliveira, Filipe A. La-Gatta, Rodrigo A. F. Ferreira, "Development of a FPGA-Based Real-Time Simulation System," Embed. Syst. Program., pp. 1–6, 2019.

[18] F. Larenas, "Simulación en Tiempo Real de Topologías de Convertidores Estáticos para Paneles Solares Fotovoltaicos," Univ. Concepción, pp. 49–65, 2018.

[19] J. Martins et al., "Test Platform for Rapid Prototyping of Digital Control for Power Electronic Converters," IECON Proc. (Industrial Electron. Conf., vol. 2019-October, pp. 2056–2061, 2019, doi: 10.1109/IECON.2019.8927836.

[20] B. Lu, A. Monti, and R. A. Dougal, "Real-Time Hardware-In-the-Loop Testing During Design of Power Electronics Controls," IECON Proc. (Industrial Electron. Conf., vol. 2, pp. 1840–1845, 2003, doi: 10.1109/iecon.2003.1280340.

[21] K. Wang, J. Xu, G. Li, N. Tai, A. Tong, and J. Hou, "A Generalized Associated Discrete Circuit Model of Power Converters in Real-Time Simulation," IEEE Trans. Power Electron., vol. 34, no. 3, pp. 2220–2233, 2019, doi: 10.1109/TPEL.2018.2845658.